

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing (day/month/year)

21 December 2000 (21.12.00)

International application No.

PCT/JP00/03405

Applicant's or agent's file reference

516271WO01

International filing date (day/month/year)

26 May 2000 (26.05.00)

Priority date (day/month/year)

31 May 1999 (31.05.99)

Applicant

ITAMI, Shinji

1. The designated Office is hereby notified of its election made:

☒

in the demand filed with the International Preliminary Examining Authority on:

24 November 2000 (24.11.00)

☐

in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Calmbettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer

Kiwa Mpay

Telephone No.: (41-22) 338.83.38

THIS PAGE BLANK (USPTO)



P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
[P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号 5 1 6 2 7 1 W O 0 1	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。		
国際出願番号 P C T / J P 0 0 / 0 3 4 0 5	国際出願日 (日.月.年) 2 6 . 0 5 . 0 0	優先日 (日.月.年) 3 1 . 0 5 . 9 9	
出願人 (氏名又は名称) 三菱電機株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際調査機関に提出された書面による配列表
☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。
☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 3 図とする。 ☒ 出願人が示したとおりである。 ☐ なし
☐ 出願人は図を示さなかった。
☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G06F13/36, G06F13/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F13/36, G06F13/38, G06F13/16, G06F1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2000年
日本国実用新案登録公報 1996-2000年
日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 1-145754, A(株式会社リコー), 7.6月.1989(07.06.89)(ファミリーなし)	1-9
Y	JP, 5-303540, A(富士ゼロックス株式会社), 16.11月.1993(16.11.93)(ファミリーなし)	1-9
Y	JP, 5-265945, A(富士ゼロックス株式会社), 15.10月.1993(15.10.93)(ファミリーなし)	1-9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21.08.00

国際調査報告の発送日

05.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 匡

5 R

9650

電話番号 03-3581-1101 内線 6914

THIS PAGE BLANK (USPTO)

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D 31 AUG 2001

WIPO

PCT

出願人又は代理人 の書類記号 516271WO01	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JPO0/03405	国際出願日 (日.月.年) 26.05.00	優先日 (日.月.年) 31.05.99
国際特許分類 (IPC) Int Cl ⁷ G06F13/36, G06F13/38		
出願人 (氏名又は名称) 三菱電機株式会社		

- 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 3 ページである。
- この国際予備審査報告は、次の内容を含む。
 - ☒ 国際予備審査報告の基礎
 - ☐ 優先権
 - ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - ☐ 発明の単一性の欠如
 - ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - ☐ ある種の引用文献
 - ☐ 国際出願の不備
 - ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 24.11.00	国際予備審査報告を作成した日 14.08.01	
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 佐藤 匡	5 R 9650
電話番号 03-3581-1101 内線 3520		

THIS PAGE BLANK (USPTO)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-30 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 3, 4, 5 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 6, 8 項、 06.04.01 付の書簡と共に提出されたもの

☒ 図面 第 1-24 ~~ページ~~/図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 2, 7, 9 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

THIS PAGE BLANK (USPTO)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲

1, 3-6, 8

有

請求の範囲

無

進歩性(IS)

請求の範囲

有

請求の範囲

1, 3-6, 8

無

産業上の利用可能性(IA)

請求の範囲

1, 3-6, 8

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

引用文献1 JP, 1-145754, A(株式会社リコー), 7.6月. 1989(07.06.89)

引用文献2 JP, 5-303540, A(富士ゼロックス株式会社), 16.11月. 1993(16.11.93)

引用文献3 JP, 5-265945, A(富士ゼロックス株式会社), 15.10月. 1993(15.10.93)

請求項1乃至9に関して、引用文献1には、マルチプレクスバスにおいて、スレーブ自身がアドレスをインクリメントする技術が記載されており、引用文献2及び3に記載された親基板、子基板間のデータ転送において実現するように構成することは当業者が容易になし得る程度のものにすぎない。

なお、出願人は請求項に係る発明がデータの切り替わりを示すサイクル信号を用いてトリガ信号と組み合わせる点で引用文献とは相違する旨を主張しているが、所定のクロックに同期させることは常套手段であり、例えば引用文献1のアドレスストローブ信号をマスタの内部クロックに同期して出力するように構成することは当業者が容易になし得る程度のものにすぎない。

THIS PAGE BLANK (USPTO)

請 求 の 範 囲

1. (特許)親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、

親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、

子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレスと所定のトリガ信号とこのトリガ信号と組み合わせられたサイクル信号とに基づき生成する工程と、を備えたデータ転送方式。

2. (削除)

3. トリガ信号に基づきアドレスを生成する際に、開始アドレスに対しトリガ信号のタイミングに応じてインクリメントし、アドレスを順次生成することを特徴とする請求の範囲1に記載のデータ転送方式。

4. 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、

親基板より子基板に対するデータアクセスの際に、データアクセスに要する子基板のメモリ開始アドレスを通知する工程と、

子基板にて、上記メモリ開始アドレスが自局宛か否かを判断し、自

THIS PAGE BLANK (USPTO)

局宛の場合は、上記メモリ開始アドレスに基づき、自局のメモリにアクセスして上記データ伝送路を介しデータ転送を行う工程と、

上記メモリ開始アドレスに基づくデータ転送終了後は、子基板にて、上記メモリ開始アドレスをインクリメントし、引き続きデータ転送を行うべきアドレスを生成し、該生成されたアドレスに基づき、自局のメモリにアクセスし、上記データ伝送路を介してデータ転送を行う工程と、

を備えたデータ転送方式。

5. データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせることを特徴とする請求の範囲4に記載のデータ転送方式。

6. (修正)親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータリードを行うデータ転送方式において、

データアクセスのタイミングを示すサイクル信号とあわせたトリガ信号及び上記データ伝送路を介してデータリードに要する開始アドレスを通知する工程と、

上記開始アドレスが通知された上記データ伝送路をデータバスとして切換える工程と、

上記開始アドレスに基づきメモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、

上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、

を備えたデータ転送方式。

THIS PAGE BLANK (USPTO)

7. (削除)

8. ^(補正後) 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータライトを行うデータ転送方式において、

データアクセスのタイミングを示すサイクル信号とあわせたトリガ信号及び上記データ伝送路を介してデータライトに要する開始アドレスを通知する工程と、

上記開始アドレスが通知された上記データ伝送路をデータバスとして切換え、メモリにライトする所定データを送出する工程と、

上記開始アドレスに基づきメモリにアクセスし、上記所定データをメモリにライトする工程と、

上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、上記データ伝送路を介して送出される上記所定データをメモリに順次ライトする工程と、
を備えたデータ転送方式。

9. (削除)

THIS PAGE BLANK (USPTO)

09/98098

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 516271WO01	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/03405	International filing date (day/month/year) 26 May 2000 (26.05.00)	Priority date (day/month/year) 31 May 1999 (31.05.99)
International Patent Classification (IPC) or national classification and IPC G06F 13/36, 13/38		
Applicant MITSUBISHI DENKI KABUSHIKI KAISHA		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>3</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 24 November 2000 (24.11.00)	Date of completion of this report 14 August 2001 (14.08.2001)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/03405

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____ 1-30 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages _____ 3,4,5 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 1,6,8 _____, filed with the letter of _____ 06 April 2001 (06.04.2001)
- ☒ the drawings:
pages _____ 1-24 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☒ the claims, Nos. _____ 2,7,9 _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

THIS PAGE BLANK (USPTO)

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP 00/03405

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1, 3-6, 8	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1, 3-6, 8	NO
Industrial applicability (IA)	Claims	1, 3-6, 8	YES
	Claims		NO

2. Citations and explanations

Document 1: JP, 1-145754, A (Ricoh Co., Ltd.), June 7, 1989 (07.06.89)

Document 2: JP, 5-303540, A (Fuji Xerox Co., Ltd.), November 16, 1993 (16.11.93)

Document 3: JP, 5-265945, A (Fuji Xerox Co., Ltd.), October 15, 1993 (15.10.93)

With respect to Claims 1 to 9, Document 1 discloses a multiplex bus wherein the slave itself increases the addresses and it would be easy for a person skilled in the art to configure the data transfer between the main substrate and the sub-substrate disclosed in Documents 2 and 3 in such a manner that this feature is realised.

The applicant argues that the invention set forth in the present application differs from those disclosed in the cited documents in terms of the feature wherein the trigger signal is incorporated using a cycle signal that shows data replacement. However, synchronisation to a predetermined clock is common practice. For example, it would be easy for a person skilled in the art to configure the address strobe signal disclosed in Document 1 in such a manner that it is outputted by synchronising it to the internal clock of the master.

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000 年12 月7 日 (07.12.2000)

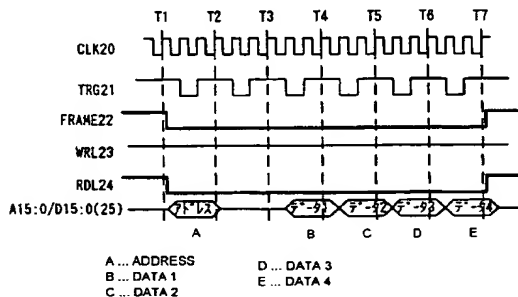
PCT

(10) 国際公開番号
WO 00/73915 A1

- (51) 国際特許分類: G06F 13/36, 13/38 (72) 発明者: および
(75) 発明者/出願人(米国についてのみ): 伊丹伸司(UTAMI Shinji) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/03405
- (22) 国際出願日: 2000 年5 月26 日 (26.05.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願平11/151019 1999 年5 月31 日 (31.05.1999) JP 添付公開書類:
— 国際調査報告書
- (71) 出願人(米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). 2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。
- (81) 指定国(国内): DE, JP, KR, US.

(54) Title: DATA TRANSFER SYSTEM

(54) 発明の名称: データ転送方式



(57) Abstract: A data transfer system which transfers data between a main substrate and a sub-substrate by using a data transmission line where an address bus and a data bus use a mutually identical signal line, wherein a data access from the main substrate to the sub-substrate comprises a step of informing a start address required for the data access and a step of generating addresses used for the above data access by the sub-substrate based on the above start address and a preset trigger signal.

(57) 要約:

親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、を備えた。

WO 00/73915 A1

THIS PAGE BLANK (USPTO)

明 細 書

データ転送方式

5 技術分野

この発明は、少ない信号線によりデータ転送における制御信号間のスキューや反射といった連続データ転送を実行する際に誤動作の原因となる各種外乱に対して安全にデータ転送を実行することを考慮した親基板と子基板間のデータ転送に関するものである。

10

背景技術

従来のデータ転送の構成について以下に説明する。

第16図は、データ転送に関するシステム構成を示すシステム構成図である。

15

図において、100はデータ転送送信側の親基板、200はデータ転送受信側の子基板、300は親基板100と子基板200とを接続するデータ転送バスである。

なお、子基板200は、子基板A200a、子基板B200b・・・子基板N200nの複数がデータ転送バス300を介して親基板100と接続されている。

20

第17図は、従来の子基板の内部構成を示す図であり、同図において、201はデータ転送バス300のライトタイミング／リードタイミングを示すトリガ信号（TRG）、202はデータ転送バス300の転送中を示すFRAME、203はデータ転送バス300がライト動作を示すWRL、204はデータ転送バス300がリード動作を示すRDL、205はデータ転送バス300の下位2ビットを示す信号

25

A 1 : 0、2 0 6 はデータ転送バス 3 0 0 に含まれ、アドレス信号、データ信号を時分割で共有しアドレス 1 5 ~ 2、データ 1 5 ~ 0 を示すマルチプレクスバス A 1 5 : 2 / D 1 5 : 0、2 0 7 はマルチプレクスバスをアドレスバスとデータバスに分解するセパレータ、2 0 8

5 はデータ転送内容を記憶するメモリ、2 0 9 はセパレータとメモリ間を接続するアドレスバス M A 1 5 : 0、2 1 0 はセパレータとメモリ間を接続するデータバス M D 1 5 : 0、2 1 1 はセパレータとメモリ間を接続するメモリ書き込み信号 M W R L、2 1 2 はセパレータとメモリ間を接続するメモリリード信号 M R D L である。

10 第 1 8 図は、セパレータ 2 0 7 の内部処理を示すフローチャートである。

セパレータ 2 0 7 は、ステップ S 2 0 1 にて、自基板の転送有無を検出するため、F R A M E 2 0 2 = L かつ A 1 5 : 0 = 自アドレスが成立するまで待機する。

15 ステップ S 2 0 1 にて本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、ステップ S 2 0 2 にて、W R L = L、R D L = L のどちらかを検出する。

ここで R D L = L の時は、ステップ S 2 0 3 に移行して読み出し（リード処理）を示し、W R L = L の時は、ステップ S 2 0 4 に移行して書き込み（ライト処理）を示す。

20 リード処理（ステップ S 2 0 4）またはライト処理（ステップ S 2 0 5）を完了したら、転送完了処理を実行し一連の転送処理を完了する。
—リード処理—

次にリード処理（ステップ S 2 0 3）について、第 1 9 図、第 2 0 図、第 2 1 図を用いて説明する。

第 1 9 図は、リード処理における各信号の時系列な動作を示すタイ

ミングチャートである。

第20図は、従来の親基板のリード処理の一連の流れを示したフローチャートである。

5 第21図は、従来の子基板のセパレータ部のリード処理の一連の流れを示したフローチャートである。

親基板は、T41期間のTRG201立上がりにおいて、ステップS211によりデータ転送の転送中を意味するFRAME202をLにアサイン、読み出し転送を意味するRDLをLにアサイン、信号A1:0(205)に転送開始アドレスの下位2ビットをアサイン、マルチプレクスバスA15:2/D15:0(206)に上位アドレスをアサインする。

10

一方、子基板はT41期間のTRG201立下がりにおいて、ステップS201処理により自アドレスの転送開始を検出する。

T42期間では親基板はステップS212を実行し、マルチプレクスバスA15:2/D15:0(206)の出力方向を切り替えるため出力を停止すると共にステップS213にてマルチプレクスバスA15:2/D15:0(206)を転送方向を出力から入力に切り替える。

15

本期間をマルチプレクスバスA15:2/D15:0(206)の転送方向切替え期間として使用する。

20

子基板はT42期間のTRG201立下がり、ステップS231によりA15:2/D15:0(206)の転送方向切替え期間として解釈し、マルチプレクスバスA15:2/D15:0(206)を入力から出力方向に切り替えアドレスサイクルからデータリードサイクルに切替える。

25

子基板は、T43期間のTRG201立上がりにおいて、ステップ

S 2 3 2 を実行し転送中であることを確認後、ステップ S 2 3 3 を実行し M A 1 5 : 0 (2 0 9) に T 4 2 期間で親基板から与えられたアドレス A 1 5 : 2 / D 1 5 : 0 (2 0 6) と A 1 : 0 (2 0 5) を合成したアドレスを出力し、ステップ S 2 3 4 により M R D L 2 1 2 を制御してメモリリードを実行する。

その後、ステップ S 2 3 5 により A D 1 5 : 2 / D 1 5 : 0 にデータ 1 を出力する。

親基板は、T 4 3 期間の T R G 2 0 1 立下がりにおいて、ステップ S 2 1 4 を実行しデータ 1 を読み出す。

そして、T 4 4 期間の T R G 2 0 1 立上がりにおいて、親基板はステップ S 2 1 5 を実行し、A 1 : 0 (2 0 5) を切替え、下位アドレス A 1 : 0 (2 0 5) に次アドレスを出力する。

データ 2 ~ 4 に関し、親基板の動作はステップ S 2 1 4 及びステップ S 2 1 5 と同様であり、子基板の動作はステップ S 2 3 2 ~ S 2 3 5 の一連の処理を繰り返すことにより実現される。

親基板は、T 4 6 期間の T R G 2 0 1 立下がり、ステップ S 2 2 0 を実行してデータ 4 を読み出し、その後、ステップ S 2 2 1 にて F R A M E 2 0 2 = H を出力してデータ転送の終了を明示する。

子基板は、ステップ S 2 3 2 により転送完了を検出しリード処理を完了する。

—ライト処理—

次にライト処理（ステップ S 2 0 4）について、第 2 2 図、第 2 3 図、第 2 4 図を用いて説明する。

第 2 2 図は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

第 2 3 図は、親基板のライト処理の一連の流れを示したフローチャ

ートである。

第24図は、子基板のセパレータ部のライト処理の一連の流れを示したフローチャートである。

5 親基板は、T51期間のTRG201立上がりにおいて、ステップS241により転送中を意味するFRAME202をLにアサイン、書き込み転送を意味するWRLをLにアサイン、A1:0(205)に転送開始アドレスの下位2ビットをアサイン、A15:2/D15:0(206)に上位アドレスをアサインする。

10 一方、子基板はT51期間のTRG201立下がりにおいて、ステップS201処理により自アドレスの転送開始を検出する。

親基板は、T52期間ではステップS242を実行し、A15:2/D15:0(206)に書き込みデータ1を出力する。

15 一方、子基板は、T52期間のTRG201立下がりではステップS261を実行し、転送中であることを確認後、ステップS262に移行する。ステップS262では、MA15:0(209)に対しA15:2/D15:0(206)とA1:0(205)を合成したアドレス(A15:0)を出力する。

20 そして、ステップS263により、AD15:2/D15:0上のデータを取り込み、ステップS264によりMWRL211を制御してメモリライトを実行する。

親基板は、T53期間のTRG201立上がりにおいて、ステップS243を実行し、A1:0(205)を切替え、下位アドレスA1:0(205)に次アドレスを出力する。

25 データ2~4に関し、親基板の動作はステップS242及びステップS243と同様であり、子基板の動作はステップS261~S264の一連の処理を繰り返すことにより実現される。

親基板は、T 5 6 期間の T R G 2 0 1 立上がりで、ステップ S 2 5 1 を実行し F R A M E 2 0 2 = H を出力してデータ転送の終了を明示する。

子基板はステップ S 2 6 1 により転送完了を検出しライト処理を完了する。

上記のような従来のデータ転送では、連続転送のデータ数が下位アドレスの信号線の数で決定してしまうとともに、より多くの連続転送を実現するためには下位アドレス信号線を追加する必要があり信号線数が増えてしまうのでコスト、部品実装ともに増加傾向になるという問題点があった。

発明の開示

本発明は、かかる問題点を解決するためになされたもので、少ない信号線で安定して膨大な連続転送を提供することを目的としている。

この目的を達成するために、1つの観点によれば、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、親基板より子基板に対するデータアクセスの際に、データアクセスに要する開始アドレスを通知する工程と、子基板にて、上記データアクセスに用いられるアドレスを、上記開始アドレス及び所定のトリガ信号に基づき生成する工程と、を備えた。

特に、データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせるものである。

また、トリガ信号に基づきアドレスを生成する際に、開始アドレスに対しトリガ信号のタイミングに応じてインクリメントし、アドレスを順次生成するものである。

また、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転送方式において、親基板より子基板に対するデータアクセスの際に、データアクセスに要する子基板のメモリ開始アドレスを通知する工程と、子基板にて、上記メモリ開始アドレスが自局宛か否かを判断し、自局宛の場合は、上記メモリ開始アドレスに基づき、自局のメモリにアクセスして上記データ伝送路を介しデータ転送を行う工程と、上記メモリ開始アドレスに基づくデータ転送終了後は、子基板にて、上記メモリ開始アドレスをインクリメントし、引き続きデータ転送を行うべきアドレスを生成し、該生成されたアドレスに基づき、自局のメモリにアクセスし、上記データ伝送路を介してデータ転送を行う工程と、を備えたものである。

また、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータリードを行うデータ転送方式において、データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータリードに要する開始アドレスを通知する工程と、上記開始アドレスが通知された上記データ伝送路をデータバスとして切換える工程と、上記開始アドレスに基づきメモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、を備えたものである。

また、親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータライトを行うデータ転送方式において、データアクセスのタイミングを示すトリガ信号及

び上記データ伝送路を介してデータライトに要する開始アドレスを通知する工程と、上記開始アドレスが通知された上記データ伝送路をデータバスとして切換え、メモリにライトする所定データを送出する工程と、上記開始アドレスに基づきメモリにアクセスし、上記所定データをメモリにライトする工程と、上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、上記データ伝送路を介して送出される上記所定データをメモリに順次ライトする工程と、を備えたものである。

10

図面の簡単な説明

第1図は、実施の形態1のデータ転送に関するシステム構成を示すシステム構成図である。

第2図は、子基板の内部構成を示す図である。

15

第3図は、リード処理における各信号の時系列な動作を示すタイミングチャートである。

第4図は、親基板のリード処理の一連の流れを示したフローチャートである。

20

第5図は、子基板のリード処理の流れを示したフローチャートである。

第6図は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

第7図は、親基板のライト処理の流れを示したフローチャートである。

25

第8図は、子基板のライト処理の流れを示したフローチャートである。

第 9 図は、実施の形態 2 の子基板の内部構成を示す図である。

第 10 図は、リード処理における各信号の時系列な動作を示すタイミングチャートである。

5 第 11 図は、親基板のリード処理の一連の流れを示したフローチャートである。

第 12 図は、子基板のリード処理の流れを示したフローチャートである。

第 13 図は、ライト処理における各信号の時系列な動作を示すタイミングチャートである。

10 第 14 図は、親基板のライト処理の一連の流れを示したフローチャートである。

第 15 図は、子基板のライト処理の流れを示したフローチャートである。

15 第 16 図は、従来のデータ転送に関するシステム構成を示すシステム構成図である。

第 17 図は、従来の子基板の内部構成を示す図である。

第 18 図は、セパレータの内部処理を示すフローチャートである。

第 19 図は、従来のリード処理における各信号の時系列な動作を示すタイミングチャートである。

20 第 20 図は、従来の親基板のリード処理の一連の流れを示したフローチャートである。

第 21 図は、従来の子基板のリード処理の一連の流れを示したフローチャートである。

25 第 22 図は、従来のライト処理における各信号の時系列な動作を示すタイミングチャートである。

第 23 図は、従来の親基板のライト処理の一連の流れを示したフロ

ーチャートである。

第24図は、従来の子基板のライト処理の一連の流れを示したフローチャートである。

5 発明を実施するための最良の形態

次に、本発明について、以下の通り、実施の形態を説明する。

実施の形態1.

まず、実施の形態1の構成について以下に説明する。

10 第1図は、データ転送に関するシステム構成を示すシステム構成図である。

図において、1はデータ転送送信側の親基板、2はデータ転送受信側の子基板、3は親基板1と子基板2とを接続するデータ転送バスである。

15 なお、子基板2は、子基板A2a、子基板B2b・・・子基板N2nの複数がデータ転送バス3を介して親基板1と接続されている。

第2図は、本実施形態における子基板の内部構成を示す図である。

図において、21はデータ転送バス3のライトタイミング／リードタイミングを示すTRGであり、親基板1において内部クロック（CLK）20の立ち上がりに応じて生成されている。

20 22はデータ転送バス3の転送中を示すFRAME、23データ転送バス3がライト動作を示すWRL、24はデータ転送バス3がリード動作を示すRDLである。なお、FRAME22、WRL23、RDL24も同様に親基板1において内部クロック（CLK）20の立ち上がりに応じて生成されている。

25 25はアドレス信号とデータ信号を時分割で共有するマルチプレクスバスA15:0/D15:0、26は本実施形態1を実現するセパレ

ータであり、TRG 21に合わせてアドレス、アイドル（転送方向切替え等）、データ送受信それぞれのステータスを示す信号を作り、信号を切換えるものである。

27はデータを記憶するメモリであり、例えば、子基板Aは「000
5 ~1FF」、子基板Bは「200~3FF」といったように、システム内で一意のメモリ空間が決められている。

28はセパレータ26とメモリ27間を接続するアドレスバスMA15:0、29はセパレータ26とメモリ27間を接続するデータバスMD15:0、30はセパレータ26とメモリ27間を接続するメモリ
10 書き込み信号MWRL、31はセパレータ26とメモリ27間を接続するメモリリード信号MRDLである。

セパレータ26は、自基板の転送有無を検出するため、FRAME
22=LかつA15:0=自アドレスが成立するまで待機し、本条件
が成立すると、データ転送が読み出しか書き込みかを判断するため、
15 WRL=L（書き込み）、RDL=L（読み出し）のどちらかを検出する。

RDL=Lの時はリード処理を実施し、WRL=Lの時はライト処理を実行する。

そして、リード処理またはライト処理を完了したら、転送完了処理を実行し一連の転送処理を完了する。
20

—リード処理—

次に、リード処理に関して第3図、第4図、第5図により説明する。

第3図は、本実施の形態でのリード処理における各信号の時系列な
25 動作を示すタイミングチャートである。

第4図は、本実施の形態での親基板のリード処理の流れを示したフ

ローチャートである。

第5図は、本実施の形態での子基板のリード処理の一連の流れを示したフローチャートである。

< T 1 期間 >

- 5 親基板は、リード処理が必要となると、T 1 期間にてステップ S 1 により、CLK 20 の立ち上がりに伴い、転送中を意味する FRAME 22 を L にアサイン、読み出し転送を意味する RDL 24 を L にアサイン、マルチプレクスバス A 15 : 0 / D 15 : 0 (25) に転送開始アドレスをアサインする。
- 10 そして、ステップ S 2 にて、前述各信号を出力した親基板は TRG 21 を立ち下げる。

- 一方、子基板は、A 15 : 0 = 自アドレスの成立による自局へのリード処理を検出すると、T 1 期間の TRG 21 立下り時点で、ステップ S 3 1 により MA 15 : 0 に転送開始アドレスがアサインされたマルチプレクスバス A 15 : 0 / D 15 : 0 (25) の内容を転送、保持しメモリ 27 のアドレスを確定する。
- 15

その後、親基板は CLK 20 の立ち上がりにより、ステップ S 3 で TRG 21 を立ち上げる。

< T 2 期間 >

- 20 T 2 期間では、親基板においてステップ S 4 にて出力方向を切り替えるため CLK 20 の立ち上がりによりアドレス出力を停止し、その後ステップ S 5 で転送方向を出力から入力に切り替え、ステップ S 6 にて TRG 21 立ち下げる。

そして、ステップ S 7 にて TRG 21 を立ちあげる

- 25 子基板においては、TRG 21 立下がり、ステップ S 3 2 によりマルチプレクスバス A 15 : 0 / D 15 : 0 (25) の転送方向切替

え期間として解釈し、セパレータ 26 によりマルチプレクスバス A 15 : 0 / D 15 : 0 (25) を入力から出力方向に切り替えアドレスサイクルからデータリードサイクルに切替える。

< T 3 期間 >

- 5 T 3 期間で親基板は、リードデータを子基板に要求するため、ステップ S 8 により T R G 2 1 を立ち下げる。

子基板はステップ S 3 3 を実行し、転送中であることを確認すると共に、ステップ S 3 4 で T R G 2 1 の立下がりを検出する。

- 10 T R G 2 1 を検出した子基板は、ステップ S 3 5 により、M A 15 : 0 (28) を介してメモリ 27 に親基板から指定された開始アドレスを出力し、ステップ S 3 6 で M R D L 3 1 を操作してメモリリードを実行しする。

その後、ステップ S 3 7 により A 15 : 0 / D 15 : 0 (25) にデータ 1 を出力する。

- 15 親基板は、読み出しタイミングを子基板に知らせるため、ステップ S 9 にて T R G 2 1 を立ち上げると同時に、ステップ S 10 を実行し、A 15 : 0 / D 15 : 0 (25) のデータ 1 を取り込みリード処理を実行する。

- 20 子基板は、T R G 2 1 の立上がりにより (ステップ S 3 8) 、ステップ S 3 9 を実行し、A 15 : 0 / D 15 : 0 (25) への出力停止し、その後、ステップ S 40 により次転送用アドレス作成の準備を行うべく、インクリメントした値を求める。

< T 4 期間 >

- 25 T 4 期間で親基板は、ステップ S 11 を実施し、T R G 2 1 を立ち下げる。

子基板は、ステップ S 3 3 を実行し転送中であることを確認すると共

に、ステップS 3 4でTRG 2 1の立下がりを検出する。

TRG 2 1を検出した子基板は、ステップS 3 5によりメモリ27に、
親基板から指定された開始アドレスとステップS 4 0で準備したイン
クリメント値加算結果（TRG 2 1の立ち下がりに応じてインクリメ
5 ントしたアドレス）を次転送用アドレスとし、MA 1 5 : 0（2 8）
に出力し、ステップS 3 6に移行する。

ここで、転送開始アドレスをインクリメントすることにより得られる
次転送用アドレスとしては、転送開始アドレスが「0 0 0」なら、次
転送用アドレスが「0 0 1」となり、その次の次転送用アドレスが「0
10 0 0」に+ 2を行った「0 0 2」となるように連続して生成される。
ステップS 3 6では、メモリリードを実行し、ステップS 3 7により
A 1 5 : 0 / D 1 5 : 0（2 5）にデータ2を出力する。

親基板はステップS 1 2によりTRG 2 1を立ち上げると同時に、
ステップS 1 3を実行し、A 1 5 : 0 / D 1 5 : 0（2 5）のデータ
15 2を取り込みリード処理を実行する。

子基板は、TRG 2 1の立上がりにより、ステップS 3 9を実行し、
A 1 5 : 0 / D 1 5 : 0（2 5）への出力停止し、ステップS 4 0に
より次転送用アドレスの準備を実行する。

< T 5 期間 >

20 T 5 期間で親基板は、子基板にデータ3を要求するため、ステップ
S 1 4によりTRG 2 1を立ち下げる。

子基板は、ステップS 3 3を実行し、転送中であることを確認すると
共に、ステップS 3 4でTRG 2 1の立下がりを検出する。

TRG 2 1を検出した子基板は、ステップS 3 5によりメモリに親基
25 板から指定された開始アドレスと、ステップS 4 0で準備したインク
リメント値との加算結果を次転送アドレスとして出力し、ステップS

36でメモリリードを実行し、ステップS37によりA15:0/D15:0(25)にデータ3を出力する。

5 親基板は、ステップS15によりTRG21を立ち上げると同時に、ステップS16を実行し、A15:0/D15:0(25)のデータ3を取り込みリード処理を実行する。

子基板は、TRG21の立上がりにより、ステップS39を実行し、A15:0/D15:0(25)への出力停止し、ステップS40により次転送用アドレスの準備を実行する。

<T6期間>

10 T6期間で親基板は、子基板にデータ4を要求するため、ステップS17によりTRG21を立ち下げる。

子基板は、ステップS33を実行し転送中であることを確認すると共に、ステップS34でTRG21の立下がりを検出する。

15 TRG21を検出した子基板は、ステップS35によりメモリに親基板から指定された開始アドレスと、ステップS40で準備したインクリメント値と加算結果を次転送アドレスとして出力し、ステップS36に移行する。ステップS36では、メモリリードを実行し、ステップS37によりA15:0/D15:0(25)にデータ4を出力する。

20 親基板は、ステップS18によりTRG21を立ち上げると同時に、ステップS19を実行し、A15:0/D15:0(25)のデータ4を取り込みリード処理を実行する。

子基板は、TRG21の立上がりにより、ステップS39を実行し、A15:0/D15:0(25)への出力停止し、ステップS40により次転送用アドレスの準備を実行する。

25

<T7期間>

親基板は、転送終了を指示するため、ステップ S 2 0 実行し F R A
M E 2 2 と R D L 2 4 を H にアサインする。

子基板は、ステップ S 3 3 で F R A M E 2 2 = H を検出し、リード処
理を完了する。

5

—ライト処理—

次にライト処理について第 6 図、第 7 図、第 8 図を用いて説明する。

第 6 図は、ライト処理における各信号の時系列な動作を示すタイミ
ングチャートである。

10 第 7 図は、親基板のライト処理の一連の流れを示したフローチャー
トである。

第 8 図は、子基板のライト処理の一連の流れを示したフローチャー
トである。

< T 1 1 期間 >

15 親基板は、リード処理が必要となると、T 1 1 期間にてステップ
4 S 1 により C L K 2 0 の立ち上がりに伴い、転送中を意味する F R
A M E 2 2 を L にアサイン、書き込み転送を意味する W R L 2 3 を L
にアサイン、マルチプレクスバス A 1 5 : 0 / D 1 5 : 0 (2 5) に
転送開始アドレスをアサインする。

20 そして、ステップ S 4 2 にて、前述各信号を出力した親基板は T R G
2 1 を立ち下げる。

一方、子基板は A 1 5 : 0 = 自アドレスの成立による自局へのライ
ト処理を検出すると、T 1 1 期間の T R G 2 1 立下り時点で、ステッ
プ S 6 1 により M A 1 5 : 0 に転送開始アドレスがアサインされたマ
25 ルチプレクスバス A 1 5 : 0 / D 1 5 : 0 (2 5) の内容を転送、保
持しメモリのアドレスを確定する。

その後、親基板はステップS 4 3によりTRG 2 1を立ち上げる。

< T 1 2 期間 >

T 1 2 期間で親基板は、ステップS 4 4を実行しライトデータ1をマルチプレクスバスA 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

- 5 そして、親基板は子基板にデータの送出を知らせるため、ステップS 4 5によりTRG 2 1を立ち下げる。

この時点で子基板は、ステップS 6 2により転送中であることを確認するとともに、ステップS 6 3によりTRG 2 1が立ち下がったことを検出する。

- 10 そして、ステップS 6 4によりメモリにMA 1 5 : 0 (2 8) 経由で親基板の要求アドレスを出力する。

親基板は子基板にデータの取り込みを知らせるため、ステップS 4 6によりTRG 2 1を立ち上げ、子基板に対するデータ1のライトを要求する。

- 15 子基板ではTRG 2 1の立上りをステップS 6 5で検出し、ステップS 6 6を実行し、セパレータ2 6によりライトデータ1をMD 1 5 : 0 (2 9) に出力し、ステップS 6 7によりメモリにライトを実行する。

- 20 その後、次アドレスの準備をするためステップS 6 8にて、インクリメントした値を求めステップS 6 2へ戻る。

< T 1 3 期間 >

T 1 3 期間で親基板はステップS 4 7を実行し、ライトデータ2をマルチプレクスバスA 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

- 25 親基板は子基板にデータの送出を知らせるため、ステップS 4 8によりTRG 2 1を立ち下げる。

この時点で子基板はステップS 6 2、S 6 3によりTRG 2 1が立ち

下がったことを検出し、ステップS 6 4によりメモリにMA 1 5 : 0 (2 8) 経由で親基板の転送開始アドレスとステップS 6 8で準備したインクリメント値との加算値 (T R G 2 1 の立ち下がりに応じてインクリメントしたアドレス) を次転送用アドレスとし、MA 1 5 : 0 (2 8) に出力し、ステップS 6 5に移行する。

ここで、転送開始アドレスをインクリメントすることにより得られる次転送用アドレスとしては、転送開始アドレスが「0 0 0」なら、次転送用アドレスが「0 0 1」となり、その次の次転送用アドレスが「0 0 0」に+ 2を行った「0 0 2」となるように連続して生成される。

10

親基板は子基板にデータの取り込みを知らせるためステップS 4 9によりT R G 2 1を立ち上げ、子基板に対するデータ2のライトを要求する。

15

子基板ではT R G 2 1の立上りをステップS 6 5で検出し、ステップS 6 6を実行しライトデータ2をMD 1 5 : 0 (2 9) に出力し、ステップS 6 7によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップS 6 8を実行してステップS 6 2へ戻る。

< T 1 4 期間 >

20

T 1 4 期間で親基板はステップS 5 0を実行し、ライトデータ3をマルチプレクスバスA 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

親基板は子基板にデータの送出を知らせるため、ステップS 5 1によりT R G 2 1を立ち下げる。

25

この時点で子基板はステップS 6 2、S 6 3によりT R G 2 1が立ち下がったことを検出し、ステップS 6 4によりメモリにMA 1 5 : 0 (2 8) 経由で親基板の要求アドレスとステップS 6 8で準備したイ

ンクリメント値との加算値を次転送アドレスとして出力する。

親基板は子基板にデータの取り込みを知らせるためステップS 5 2によりTRG 2 1を立ち上げ、子基板に対するデータ3のライトを要求する。

- 5 子基板ではTRG 2 1の立上りをステップS 6 5で検出し、ステップS 6 6を実行しライトデータ3をMD 1 5 : 0 (2 9) に出力し、ステップS 6 7によりメモリにライトを実行する。
- その後、次アドレスの準備をするため、ステップS 6 8を実行してステップS 6 2へ戻る。

10 < T 1 5 期間 >

T 1 5 期間で親基板はステップS 5 3を実行し、ライトデータ4をマルチプレクスバスA 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

親基板は子基板にデータの送出を知らせるため、ステップS 5 4によりTRG 2 1を立ち下げる。

- 15 この時点で子基板はステップS 6 2、S 6 3によりTRG 2 1が立ち下がったことを検出し、ステップS 6 4によりメモリにMA 1 5 : 0 (2 8) 経由で親基板の要求アドレスとステップS 6 8で準備したインクリメント値との加算値を次アドレスとして出力する。

- 20 親基板は子基板にデータの取り込みを知らせるため、ステップS 5 4によりTRG 2 1を立ち上げ、子基板に対するデータ4のライトを要求する。

子基板ではTRG 2 1の立上りをステップS 6 5で検出し、ステップS 6 6を実行しライトデータ4をMD 1 5 : 0 (2 9) に出力し、ステップS 6 7によりメモリにライトを実行する。

- 25 その後、次アドレスの準備をするためステップS 6 8を実行してステップS 6 2へ戻る。

親基板はTRG21立ち上げ後、ステップS56によりデータ出力を停止し、ステップS57によりFRAME22とWRL23をHにし、ライト転送の完了をする。

5 子基板ではステップS62でライト転送の完了を検出しライト処理を完了する。

この実施の形態1では、TRG21の立下がりエッジを使用して子基板のセパレータ26でMA15:0(28)を生成する。

10 そのため、親局からバスを介してリードライトのためのアドレスを処理の度に送信する必要がなく、下位アドレスの削減を実現しかつ少ない信号線で大量の連続転送が実現できる効果を奏する。

また、従来、アドレス信号の送出に使用していたバスの部分を削減でき、回路実装が簡略ができ、製造コスト、バス基板の小型軽量化が図る事ができる。

15 つまり、本実施の形態によればデータ転送において信号線を減らしながらも安定した転送を実現できる。

また、本実施の形態のTRG21とアドレス／データバスは位相管理されておりデータアドレスの切り替わりに所定のマージンを持っているので、データの取りこぼしが少ない。

20 実施の形態2.

実施形態2のシステム構成は、第1図で示したシステム構成と同一である。

第9図は、実施の形態2の子基板の内部構成を示す図である。

25 図において、21はデータ転送バス3のライトタイミング／リードタイミングを示すトリガ信号(TRG)であり、親基板内で内部クロック20の立ち上がりに応じて、立ち下がり／立ち上がり／立ち上がりの

継続といった位相を持った状態で生成されている。

5 22はデータ転送バス3の転送中を示すFRAME、23データ転送バス3がライト動作を示すWRL、24はデータ転送バス3がリード動作を示すRDL、25はアドレス信号とデータ信号を時分割で共有するマルチプレクスバスA15:0/D15:0、26Aは本実施形態2を実現するセパレータであり、TRG21に合わせてアドレス、アイドル（転送方向切替え等）、データ送受信それぞれのステータスを示す信号を作り、信号を切換えるものである。

10 27はデータ転送内容を記憶するメモリ、28はセパレータ26Aとメモリ27間を接続するアドレスバスMA15:0、29はセパレータ26Aとメモリ27間を接続するデータバスMD15:0、30はセパレータ26Aとメモリ27間を接続するメモリ書き込み信号MWRRL、31はセパレータ26Aとメモリ27間を接続するメモリリード信号MRDL、32はCLK20の立ち上がりを3回カウントシフトするサイクル信号としてのPHASE信号である。

15 セパレータ26Aは、自基板の転送有無を検出するため、FRAME22=LかつA15:0=自アドレスが成立するまで待機し、本条件が成立すると、データ転送が読み出しか書き込みかを判断するため、WRL=L（書き込み）、RDL=L（読み出し）のどちらかを検出する。

20 RDL=Lの時はリード処理を実施し、WRL=Lの時はライト処理を実行する。

そして、リード処理またはライト処理を完了したら、転送完了処理を実行し一連の転送処理を完了する。

25

ーリード処理ー

次に、リード処理に関して第10図、第11図、第12図により説明する。

第10図は、本実施の形態でのリード処理における各信号の時系列な動作を示すタイミングチャートである。

- 5 第11図は、本実施の形態での親基板のリード処理の流れを示したフローチャートである。

第12図は、本実施の形態での子基板のセパレータのリード処理の一連の流れを示したフローチャートである。

<T21期間>

- 10 親基板は、リード処理が必要となると、T21期間にてステップS71により、CLK20の立ち上がりに伴い、転送中を意味するFRAME22をLにアサイン、読み出し転送を意味するRD L24をLにアサイン、マルチプレクスバスA15:0/D15:0(25)に転送開始アドレスをアサインする。

- 15 さらに一回目のTRG21を示すPHASE32をLにアサインする。

一方、子基板はA15:0=自アドレスの成立による自局へのリード処理を検出すると、T21期間のTRG21立下り時点で、ステップS81によりMA15:0(28)にA15:0/D15:0(25)の内容を転送し、メモリのアドレスを確定する。

- 20 その後、親基板はTRG21を立ち上げる。

<T22期間>

T22期間では、親基板ではステップS72を実行してアドレスの出力を停止すると共に2回目のTRG21発生を示すため、PHASE32をLからHへトグルし、転送方向を出力から入力に切り替え、

- 25 その後、TRG21を立ちあげる。

子基板では、ステップS82を実行し、AD15:0/D15:0

の転送方向を切替える。

< T 2 3 期間 >

T 2 3 期間では、親基板が P H A S E 3 2 をトグルし T R G 2 1 を立ち下げる。

- 5 一方、子基板は、ステップ S 8 3 を実行し、転送中であることを確認すると共に、ステップ S 8 4 で P H A S E 3 2 がトグルしたことを確認すると共に T R G 2 1 の立下がりを検出する。

本処理により P H A S E 3 2 がトグルして T R G 2 1 が立ち下がるまで次の処理へは移行しない。

- 10 T R G 2 1 の立下がりを検出した子基板は、ステップ S 8 5 によりメモリに親基板から指定された開始アドレスを出力し、ステップ S 8 6 で M R D L 3 1 を操作しメモリリードを実行し、ステップ S 8 7 により A 1 5 : 0 / D 1 5 : 0 (2 5) にデータ 1 を出力する。

- 15 親基板は、T R G 2 1 を立ち上げると同時に、ステップ S 7 4 の A 1 5 : 0 / D 1 5 : 0 (2 5) のデータ 1 を取り込みリード処理を実行する。

- 20 子基板は P H A S E 3 2 が自身の立下がり時から変わっていないことと T R G 2 1 の立上がりにより、ステップ S 8 9 を実行し A 1 5 : 0 / D 1 5 : 0 (2 5) へのデータ出力停止し、ステップ S 9 0 により次転送用アドレスの準備をすべく、インクリメント値を求める。

- ここで T R G 2 1 にノイズが重畳され T R G 2 1 が立ち下がっても P H A S E 3 2 がトグルしていないので、子基板はステップ S 8 4 を通過できず、次のデータを誤出力することはない。逆に P H A S E 3 2 にノイズが重畳しても T R G 2 1 が立ち下がらなければ子基板は、
25 ステップ S 8 4 を処理しないので同様にステップ S 8 4 を通過できず、ノイズに対して次の動作を実行しない。

< T 2 4 期間 >

T 2 4 期間で親基板は、P H A S E 3 2 をトグルし T R G 2 1 を立ち下げる。

- 5 子基板はステップ S 8 3 を実行し、転送中であることを確認すると共に、ステップ S 8 4 で P H A S E 3 2 がトグルしたことを確認すると共に T R G 2 1 の立下がりを検出する。

- 10 T R G 2 1 を検出した子基板は、ステップ S 8 5 によりメモリに親基板から指定された開始アドレスと、ステップ S 9 0 で準備したインクリメント値との加算結果を次転送用アドレスとして出力し、ステップ S 8 6 でメモリリードを実行し、ステップ S 8 7 により A 1 5 : 0 / D 1 5 : 0 (2 5) にデータ 2 を出力する。

親基板は T R G 2 1 を立ち上げると同時にステップ S 7 5 を実行し、A 1 5 : 0 / D 1 5 : 0 (2 5) のデータ 2 を取り込みリード処理を実行する。

- 15 子基板は P H A S E 3 2 が自身の立下がり時から変わっていないことと T R G 2 1 の立上がりによりステップ S 8 9 を実行し A 1 5 : 0 / D 1 5 : 0 (2 5) への出力停止し、ステップ S 9 0 により次転送用アドレスの準備を実行する。

< T 2 5 期間 >

- 20 T 2 5 期間で親基板は、P H A S E 3 2 をトグルし T R G 2 1 を立ち下げる。子基板はステップ S 8 3 を実行し、転送中であることを確認すると共に、ステップ S 8 4 で P H A S E 3 2 がトグルしたことを確認すると共に T R G 2 1 の立下がりを検出する。

- 25 T R G 2 1 を検出した子基板は、ステップ S 8 5 によりメモリに親基板から指定された開始アドレスと、ステップ S 9 0 で準備したインクリメント値との加算結果を次転送アドレスとして出力し、ステップ S

86でメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ3を出力する。

5 親基板はTRG21を立ち上げると同時にステップS76を実行し、A15:0/D15:0(25)のデータ3を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりによりステップS89を実行しA15:0/D15:0(25)への出力停止し、ステップS90により次転送用アドレスの準備を実行する。

10 <T26期間>

T26期間で親基板は、PHASE32をトグルしTRG21を立ち下げる。子基板はステップS83を実行し、転送中であることを確認すると共に、ステップS84でPHASE32がトグルしたことを確認すると共にTRG21の立下がりを検出する。

15 TRG21を検出した子基板は、ステップS84によりメモリに親基板から指定された開始アドレスと、ステップS90で準備したインクリメント値との加算結果を次転送アドレスとして出力し、ステップS86でメモリリードを実行し、ステップS87によりA15:0/D15:0(25)にデータ4を出力する。

20 親基板はTRG21を立ち上げると同時にステップS77を実行しA15:0/D15:0(25)のデータ4を取り込みリード処理を実行する。

子基板はPHASE32が自身の立下がり時から変わっていないこととTRG21の立上がりによりステップS89を実行しA15:0/D15:0(25)への出力停止し、ステップS90により次転送用アドレスの準備を実行する。

25

< T 2 7 期間 >

親基板は転送終了を指示するためステップ S 7 8 を実行し、F R A
M E 2 2 と R D L 2 4 と P H A S E 3 2 を H にアサインする。

- 5 子基板はステップ S 8 3 で F R A M E 2 2 = H を検出し、リード処
理を完了する。

— ライト処理 —

次にライト処理について第 1 3 図、第 1 4 図、第 1 5 図を用いて説
明する。

- 10 第 1 3 図は、ライト処理における各信号の時系列な動作を示すタイ
ミングチャートである。

第 1 4 図は、親基板のライト処理の一連の流れを示したフローチャ
ートである。

- 15 第 1 5 図は、子基板のライト処理の流れを示したフローチャートで
ある。

< T 3 1 期間 >

- 20 親基板は、ライト処理が必要となると、T 3 1 期間にてステップ S
9 1 により、C L K 2 0 の立ち上がりに伴い、転送中を意味する F R
A M E 2 2 を L にアサイン、書き込み転送を意味する W R L 2 3 を L
にアサイン、マルチプレクスバス A 1 5 : 0 / D 1 5 : 0 (2 5) に
開始アドレスをアサインすると共に、一回目の T R G 2 1 を示す P H
A S E 3 2 を L にアサインする。

そして、前述各信号を出力した親基板は T R G 2 1 を立ち下げる。

- 25 一方、子基板は A 1 5 : 0 = 自アドレスの成立による自局へのライ
ト転送を検出し、ステップ S 1 0 1 により M A 1 5 : 0 に転送開始ア
ドレスがアサインされたマルチプレクスバス A 1 5 : 0 / D 1 5 : 0

(25)の内容を転送、保持しメモリのアドレスを確定する。

その後、親基板はTRG21を立ち上げる。

<T32期間>

5 T32期間で親基板は、ステップS92を実行し、PHASE32
をトグルするとともにライトデータ1をA15:0/D15:0(25)に出力する。

そして、親基板は子基板にデータの送出を知らせるため、引き続きTRG21を立ち下げる。

10 子基板は、ステップS102により転送中であることを確認するとともに、ステップS103によりPHASE32がトグルし、TRG21が立ち下がったことを検出し、ステップS104によりメモリにMA15:0(28)経由で親基板の要求アドレスを出力する。

親基板は次にTRG21を立ち上げ、子基板に対するデータ1のライトを要求する。

15 子基板ではPHASE32がTRG21の立下がり時から変化して
いなくかつTRG21の立上りをステップS105で検出し、ステップS106を実行しライトデータ1をMD15:0に出力し、ステップS107によりMWRL30を操作しメモリにライトを実行する。
その後、ステップS108にて、次アドレスの準備をすべくインクリメント値を求め、ステップS102へ戻る。
20

ここでTRG21にノイズが重畳されTRG21が立ち下がってもPHASE32がトグルしていないので子基板は、ステップS103を通過できず次のアドレスに誤ってデータを書き込むことは無い。逆にPHASE32にノイズが重畳してもTRG21が立ち下がらなければ子基板は、ステップS103を処理しないので、子基板はステップS104以降の動作を実行しない。
25

< T 3 3 期間 >

T 3 3 期間で親基板は、ステップ S 9 3 を実行し、P H A S E 3 2 をトグルするとともにライトデータ 2 を A 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

- 5 そして、親基板は子基板にデータの送出を知らせるため、親基板は引き続き T R G 2 1 を立ち下げる。

- この時点で子基板は、ステップ S 1 0 2 により転送中であることを確認するとともに、ステップ S 1 0 3 により P H A S E 3 2 がトグルし T R G 2 1 が立ち下がったことを検出し、ステップ S 1 0 4 によりメモリに M A 1 5 : 0 (2 8) 経由で親基板の転送開始アドレスとステップ S 1 0 8 で準備したインクリメント値の加算値を次転送アドレスとして出力する。
- 10

親基板は次に T R G 2 1 を立ち上げ、子基板に対するデータ 2 のライトを要求する。

- 15 子基板では P H A S E 3 2 が T R G 2 1 の立下がり時から変化していなくかつ T R G 2 1 の立上りをステップ S 1 0 5 で検出し、ステップ S 1 0 6 を実行しライトデータ 2 を M D 1 5 : 0 に出力し、ステップ S 1 0 7 によりメモリにライトを実行する。

- その後、次アドレスの準備をするためステップ S 1 0 8 を実行し、ステップ S 1 0 2 へ戻る。
- 20

< T 3 4 期間 >

T 3 4 期間で親基板は、ステップ S 9 4 を実行し、P H A S E 3 2 をトグルするとともにライトデータ 3 を A 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

- 25 そして、親基板は子基板にデータの送出を知らせるため、引き続き T R G 2 1 を立ち下げる。

この時点で子基板は、ステップS 1 0 2により転送中であることを確認するとともに、ステップS 1 0 3によりP H A S E 3 2がトグルしT R G 2 1が立ち下がったことを検出し、ステップS 1 0 4によりメモリにM A 1 5 : 0 (2 8) 経由で親基板の転送開始アドレスと、ステップS 1 0 8で準備したインクリメント値との加算値を次転送アドレスとして出力する。

親基板は次にT R G 2 1を立ち上げ子基板に対するデータ3のライトを要求する。

子基板ではP H A S E 3 2がT R G 2 1の立下がり時から変化していかなくかつT R G 2 1の立上りをステップS 1 0 5で検出し、ステップS 1 0 6を実行し、ライトデータ3をM D 1 5 : 0に出力し、ステップS 1 0 7によりメモリにライトを実行する。

その後次アドレスの準備をするためステップS 1 0 8を実行し、ステップS 1 0 2へ戻る。

< T 3 5 期間 >

T 3 5 期間で親基板は、ステップS 9 5を実行し、P H A S E 3 2をトグルするとともにライトデータ2をA 1 5 : 0 / D 1 5 : 0 (2 5) に出力する。

そして、親基板は子基板にデータの送出を知らせるため、親基板は引き続きT R G 2 1を立ち下げる。

この時点で子基板は、ステップS 1 0 2により転送中であることを確認するとともに、ステップS 1 0 3によりP H A S E 3 2がトグルしT R G 2 1が立ち下がったことを検出し、ステップS 1 0 4によりメモリにM A 1 5 : 0 (2 8) 経由で親基板の転送開始アドレスとステップS 1 0 8で準備したインクリメント値との加算値を次転送アドレスとして出力する。

親基板は次にTRG 21を立ち上げ、子基板に対するデータ2のライトを要求する。

子基板ではPHASE 32がTRG 21の立下がり時から変化して
いなくかつTRG 21の立上りをステップS 105で検出し、ステ
ップS 106を実行しライトデータ2をMD 15 : 0に出力し、ステ
ップS 107によりメモリにライトを実行する。

その後、次アドレスの準備をするためステップS 108を実行し、ステップS 102へ戻る。

親基板はTRG 21立ち上げ後、ステップS 96によりPHASE
32とデータ出力を停止し、ステップS 97によりFRAME 22と
WRL 23、PHASE 32をHにし、ライト転送処理を完了する。

子基板ではステップS 102でライト転送の完了を検出し、ライト
処理を完了する。

この実施の形態2は、TRG 21の立下がり、立上がり検出時にP
HASE 32のトグル状態と組み合わせて検出するので、上述した実
施の形態1の効果に加え、TRG 21にクロストークや反射など外乱
が発生しても子基板のセパレータ26AでのMA 15 : 0生成に対す
る誤動作を防ぐことができ少ない信号線で大量の連続したデータ転送
を外乱に対して安定に実行することができる。

20

産業上の利用可能性

以上のように、本発明にかかるデータ転送方法は、少ない信号線に
よりスキューや反射といった連続データ転送を実行する際に誤動作の
原因となる各種外乱に対して安全にデータ転送を実行するデータ転送
において用いられるのに適している。

25

請 求 の 範 囲

1. 親基板と子基板間を、アドレスバスとデータバスを互いに同一
5 の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転
送方式において、

親基板より子基板に対するデータアクセスの際に、データアクセス
に要する開始アドレスを通知する工程と、

子基板にて、上記データアクセスに用いられるアドレスを、上記開
10 始アドレス及び所定のトリガ信号に基づき生成する工程と、
を備えたデータ転送方式。

2. データの切り替わりを示すサイクル信号を用いて上記トリガ信
号と組み合わせることを特徴とする請求の範囲1に記載のデータ転送
15 方式。

3. トリガ信号に基づきアドレスを生成する際に、開始アドレスに
対しトリガ信号のタイミングに応じてインクリメントし、アドレスを
順次生成することを特徴とする請求の範囲1に記載のデータ転送方式。
20

4. 親基板と子基板間を、アドレスバスとデータバスを互いに同一
の信号線を用いたデータ伝送路を用いてデータ送受信を行うデータ転
送方式において、

親基板より子基板に対するデータアクセスの際に、データアクセス
25 に要する子基板のメモリ開始アドレスを通知する工程と、

子基板にて、上記メモリ開始アドレスが自局宛か否かを判断し、自

局宛の場合は、上記メモリ開始アドレスに基づき、自局のメモリにアクセスして上記データ伝送路を介しデータ転送を行う工程と、

- 5 上記メモリ開始アドレスに基づくデータ転送終了後は、子基板にて、
上記メモリ開始アドレスをインクリメントし、引き続きデータ転送を
行うべきアドレスを生成し、該生成されたアドレスに基づき、自局の
メモリにアクセスし、上記データ伝送路を介してデータ転送を行う工
程と、
を備えたデータ転送方式。

- 10 5. データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせることを特徴とする請求の範囲4に記載のデータ転送方式。

- 15 6. 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータリードを行うデータ転送方式において、

データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータリードに要する開始アドレスを通知する工程と、

- 20 上記開始アドレスが通知された上記データ伝送路をデータバスとして切替える工程と、

上記開始アドレスに基づきメモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、

- 25 上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、リード結果を上記データ伝送路に送出する工程と、
を備えたデータ転送方式。

7. データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせることを特徴とする請求の範囲6に記載のデータ転送方式。

5

8. 親基板と子基板間を、アドレスバスとデータバスを互いに同一の信号線を用いたデータ伝送路を用いてデータライトを行うデータ転送方式において、

10

データアクセスのタイミングを示すトリガ信号及び上記データ伝送路を介してデータライトに要する開始アドレスを通知する工程と、

上記開始アドレスが通知された上記データ伝送路をデータバスとして切換え、メモリにライトする所定データを送出する工程と、

上記開始アドレスに基づきメモリにアクセスし、上記所定データをメモリにライトする工程と、

15

上記トリガ信号のタイミングにより、上記開始アドレスをインクリメントし、該インクリメントしたアドレスに基づき、メモリにアクセスし、上記データ伝送路を介して送られる上記所定データをメモリに順次ライトする工程と、

を備えたデータ転送方式。

20

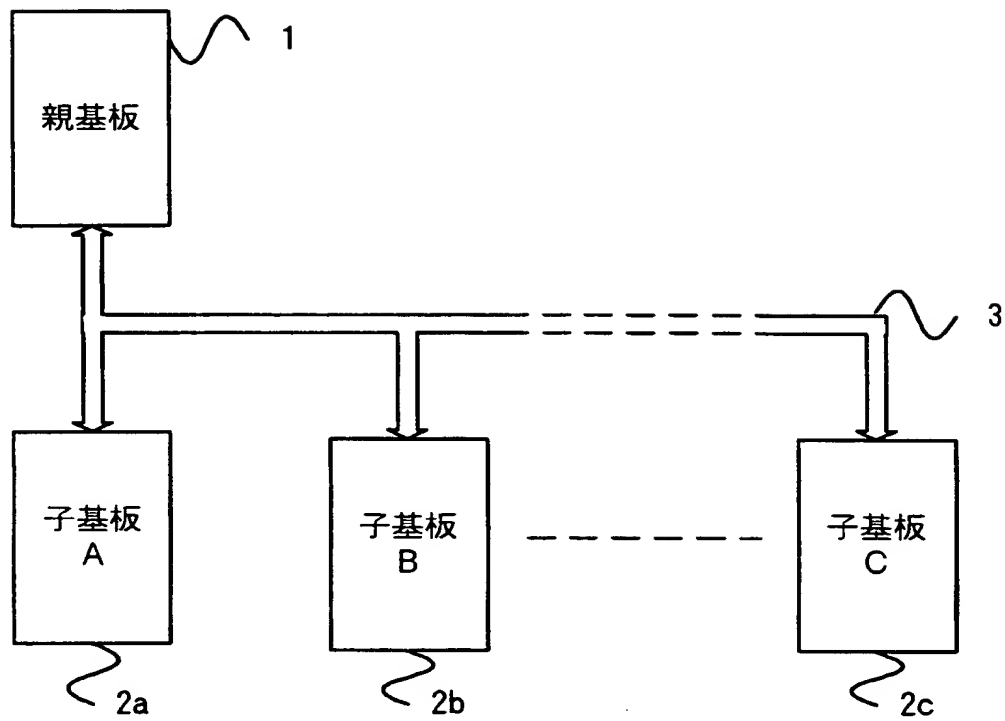
9. データの切り替わりを示すサイクル信号を用いて上記トリガ信号と組み合わせることを特徴とする請求の範囲8に記載のデータ転送方式。

25

THIS PAGE BLANK (USPTO)

1 / 24

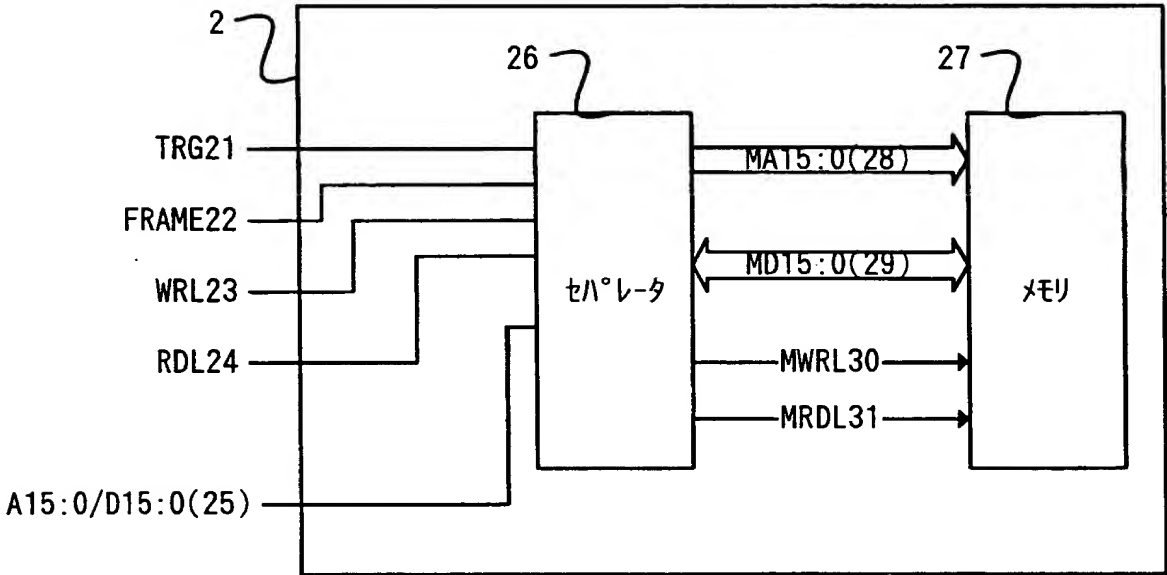
第1図



THIS PAGE BLANK (USPTO)

2 / 2 4

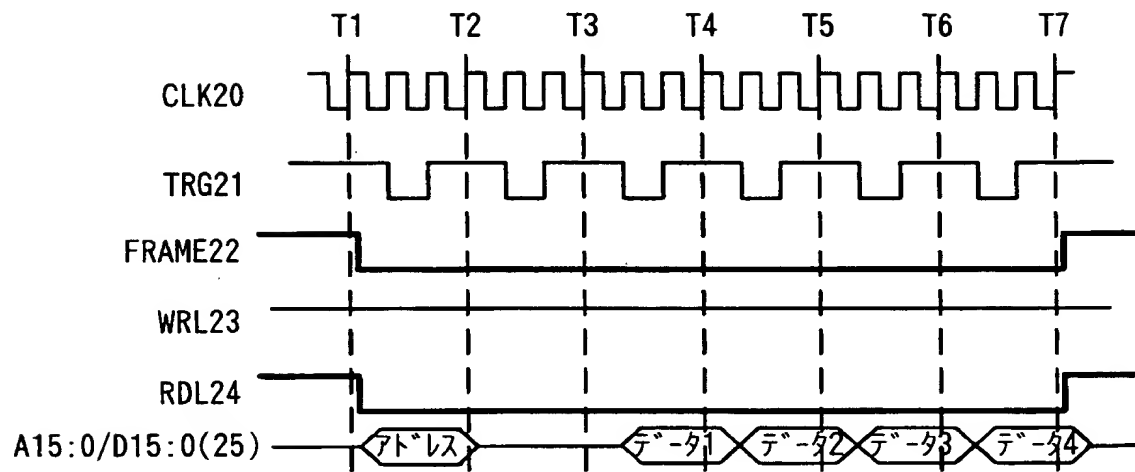
第 2 図



THIS PAGE BLANK (USPTO)

3 / 2 4

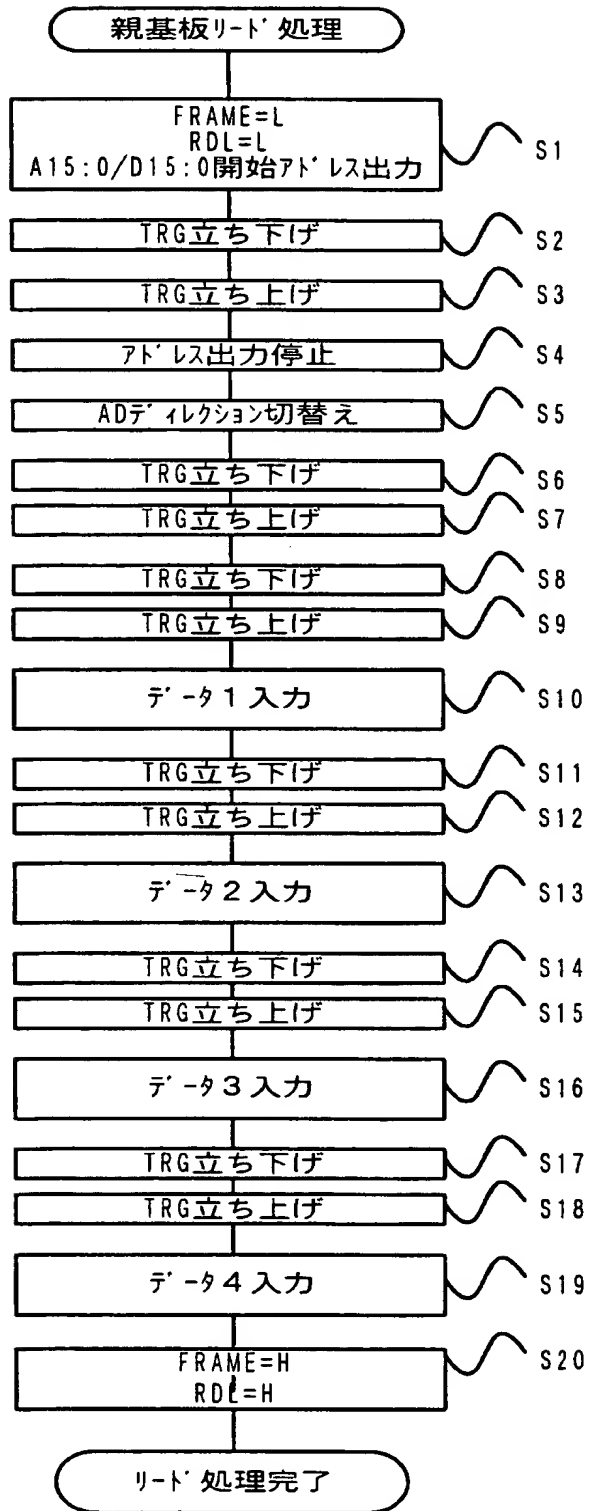
第 3 図



THIS PAGE BLANK (USPTO)

4 / 24

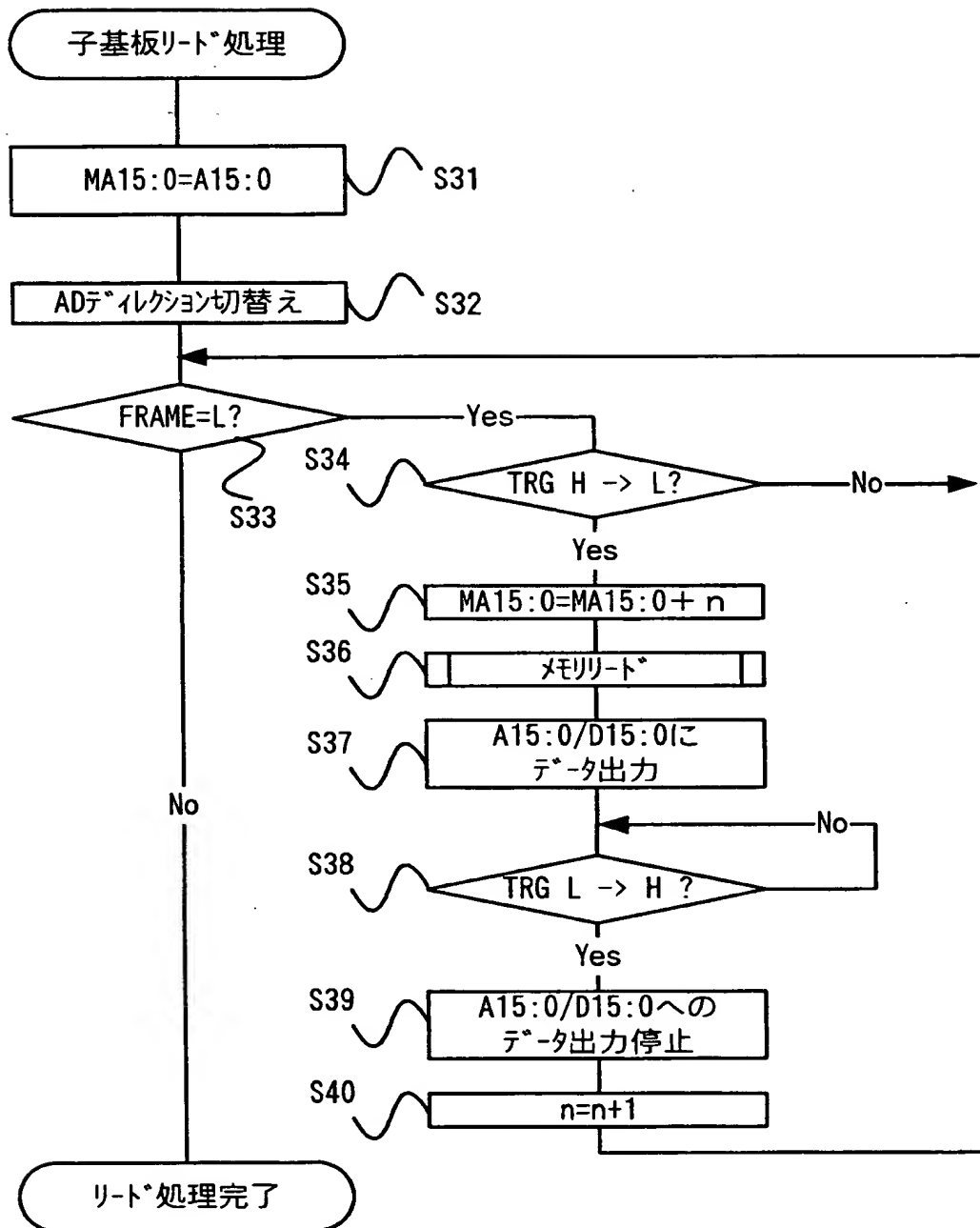
第4図



THIS PAGE BLANK (USPTO)

5 / 2 4

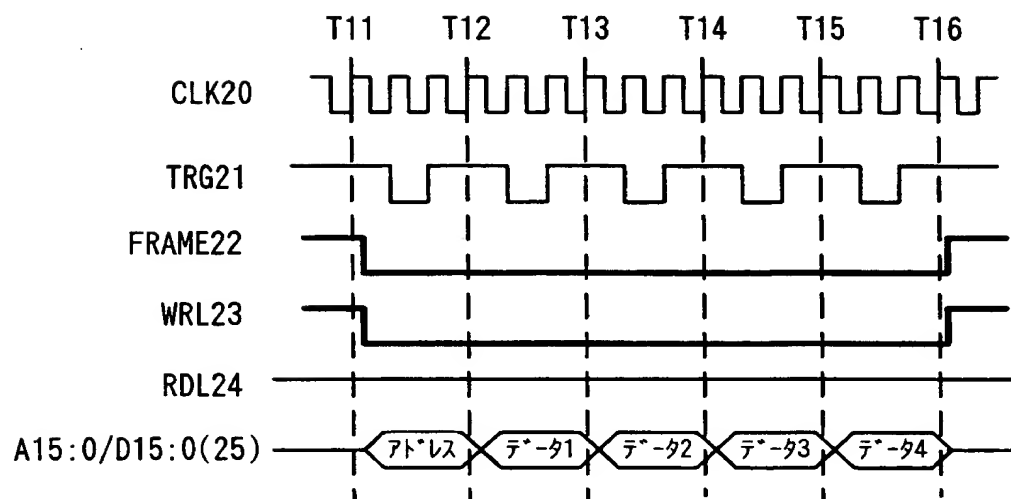
第 5 図



THIS PAGE BLANK (USPTO)

6 / 24

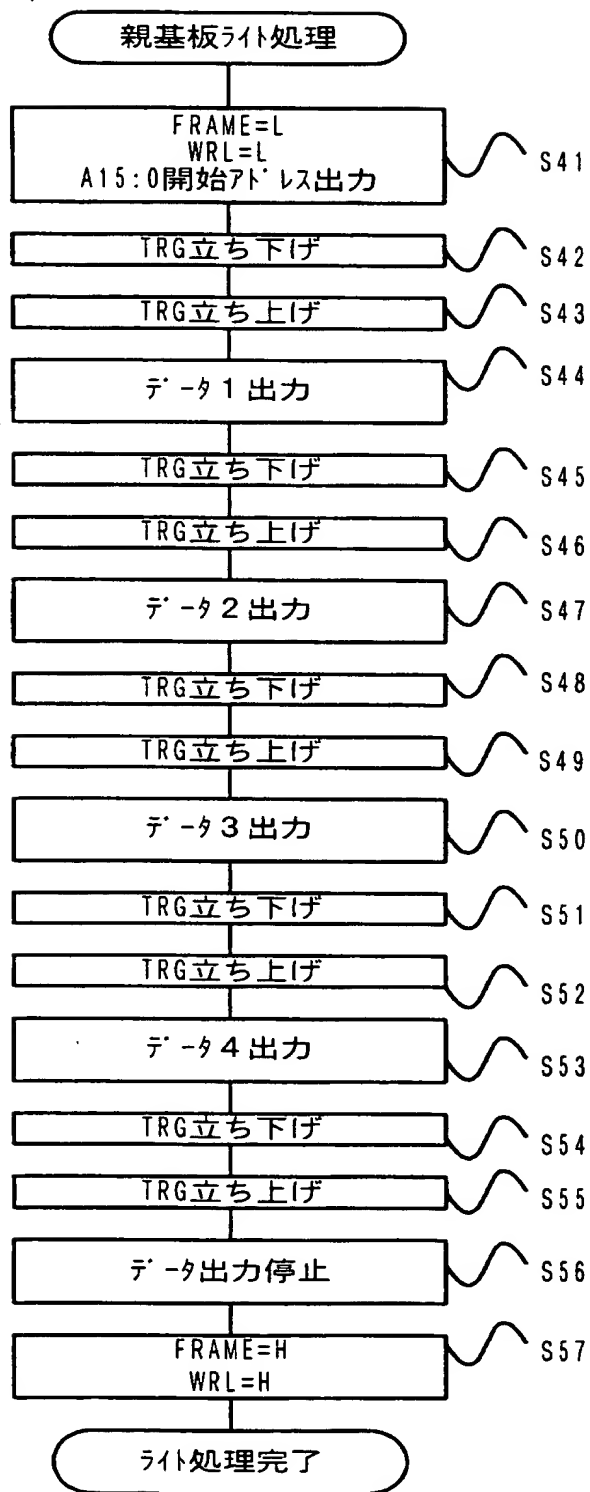
第6図



THIS PAGE BLANK (USPTO)

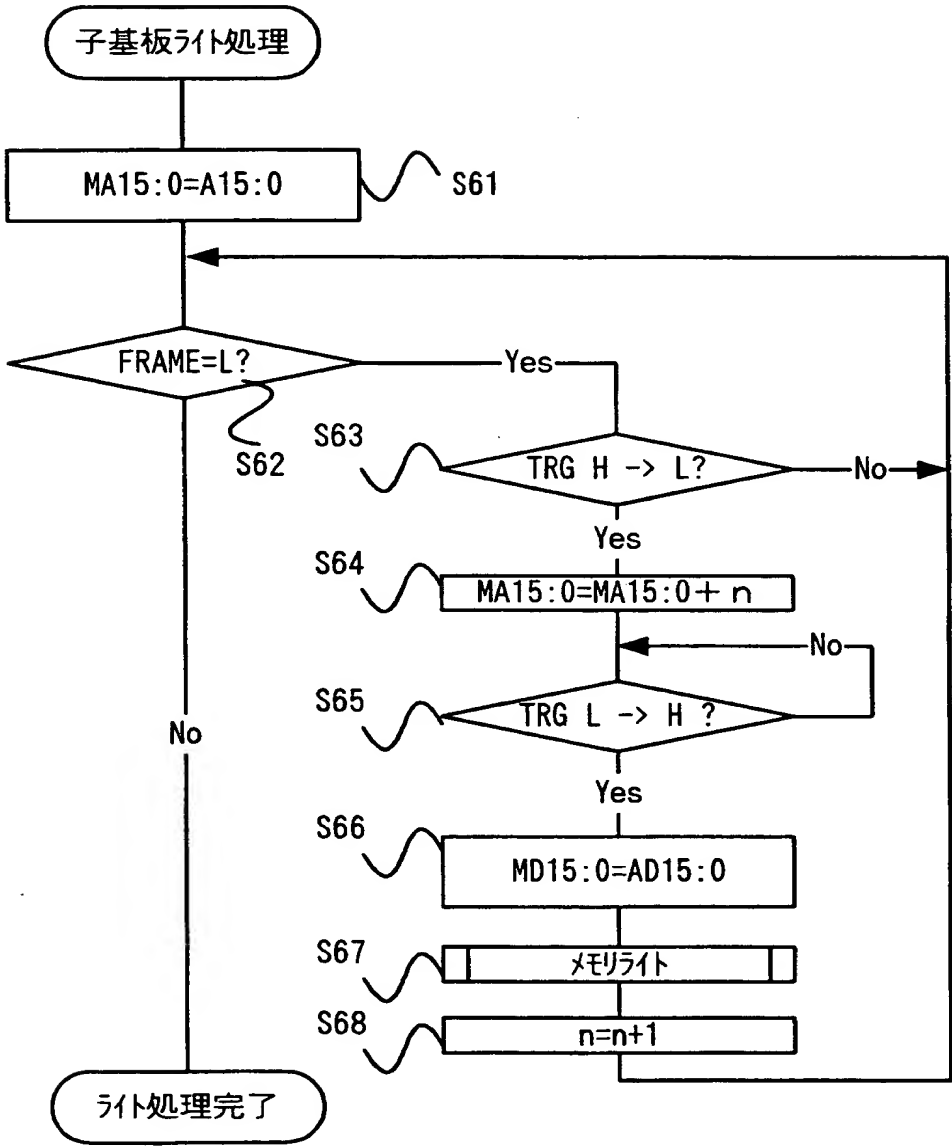
7 / 24

第7図



THIS PAGE BLANK (USPTO)

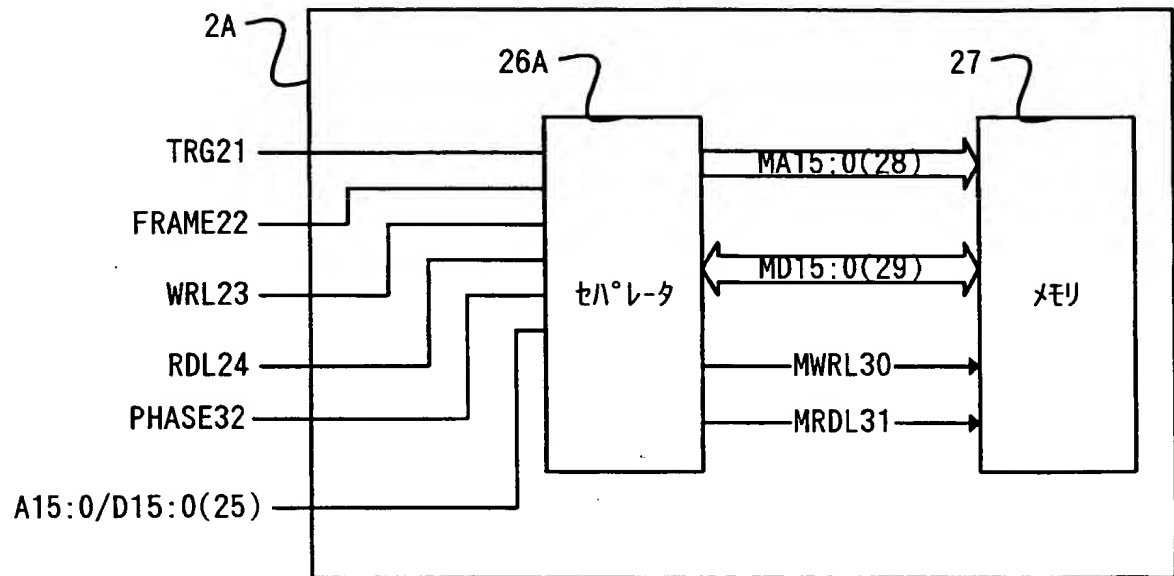
第 8 図



THIS PAGE BLANK (USPTO)

9 / 24

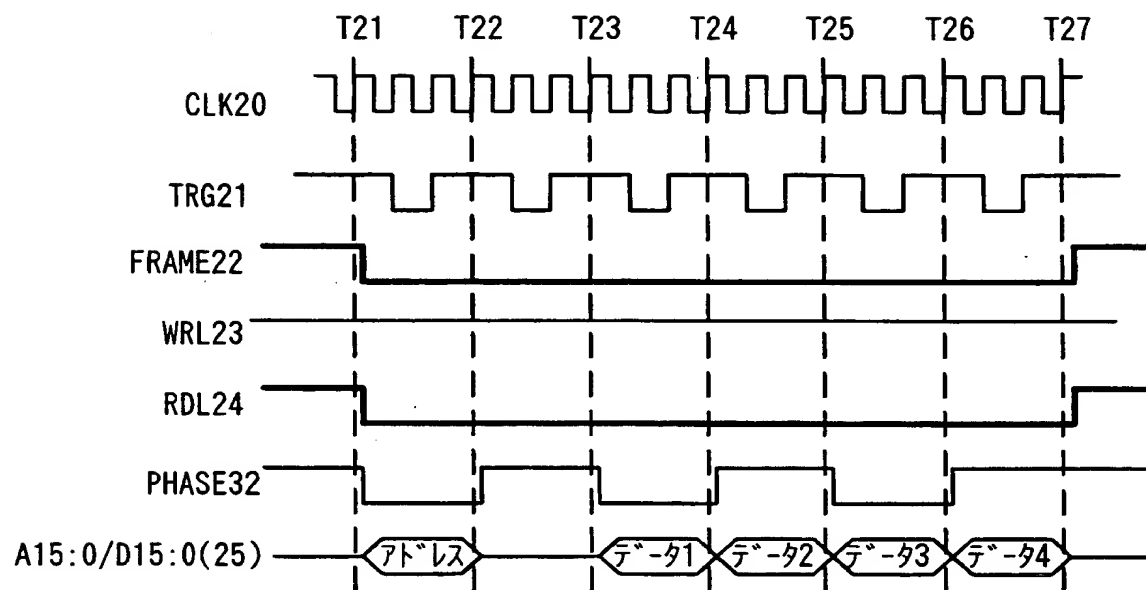
第9図



THIS PAGE BLANK (USPTO)

10/24

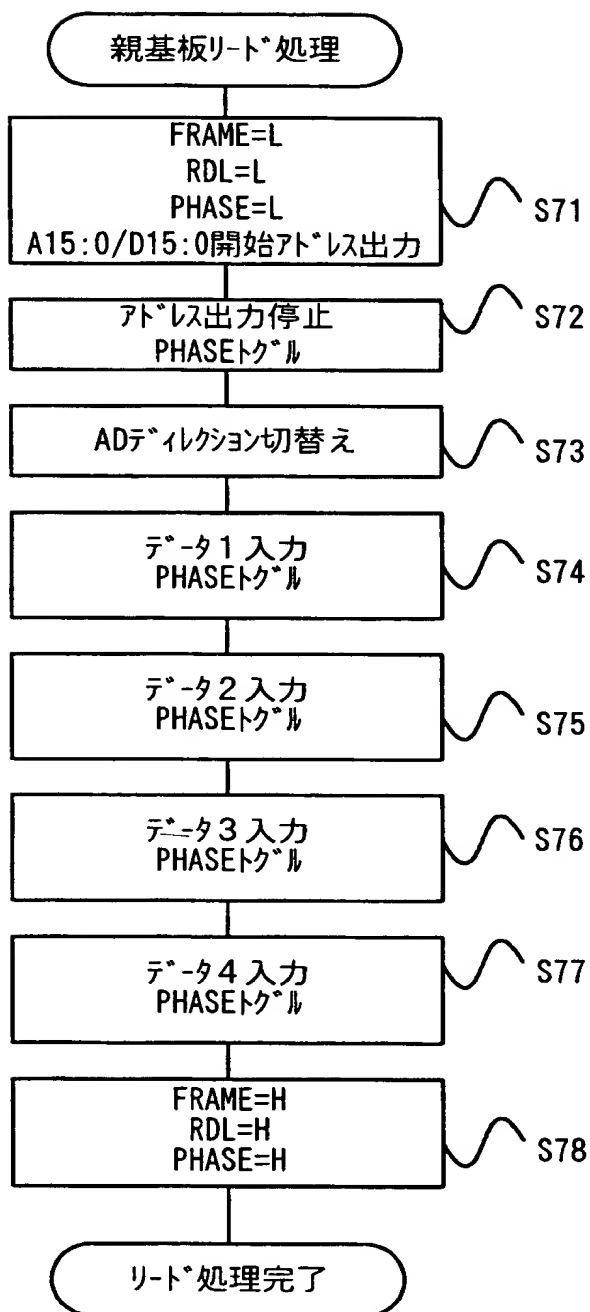
第10図



THIS PAGE BLANK (USPTO)

11 / 24

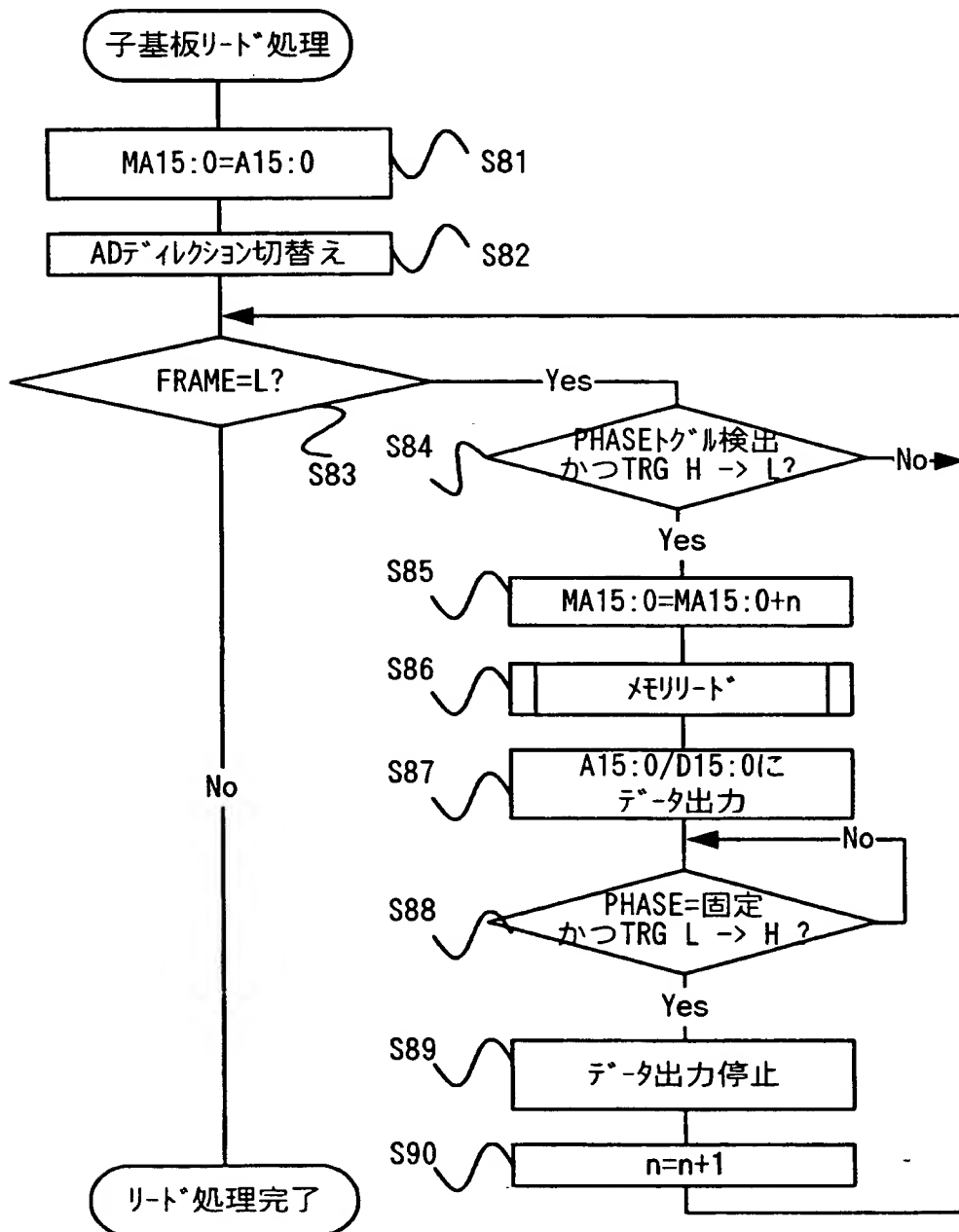
第11図



THIS PAGE BLANK (USPTO)

12/24

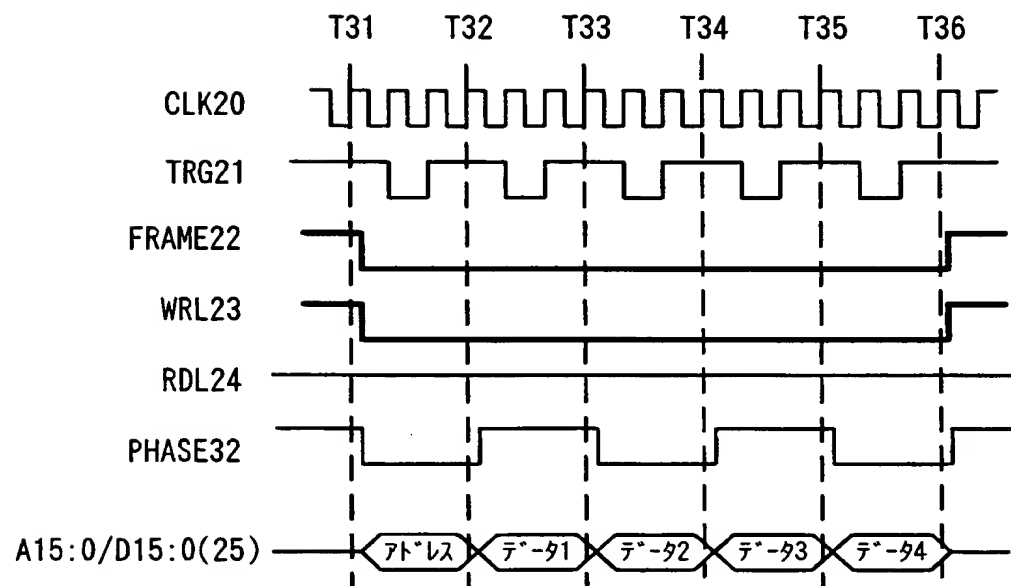
第12図



THIS PAGE BLANK (USPTO)

1 3 / 2 4

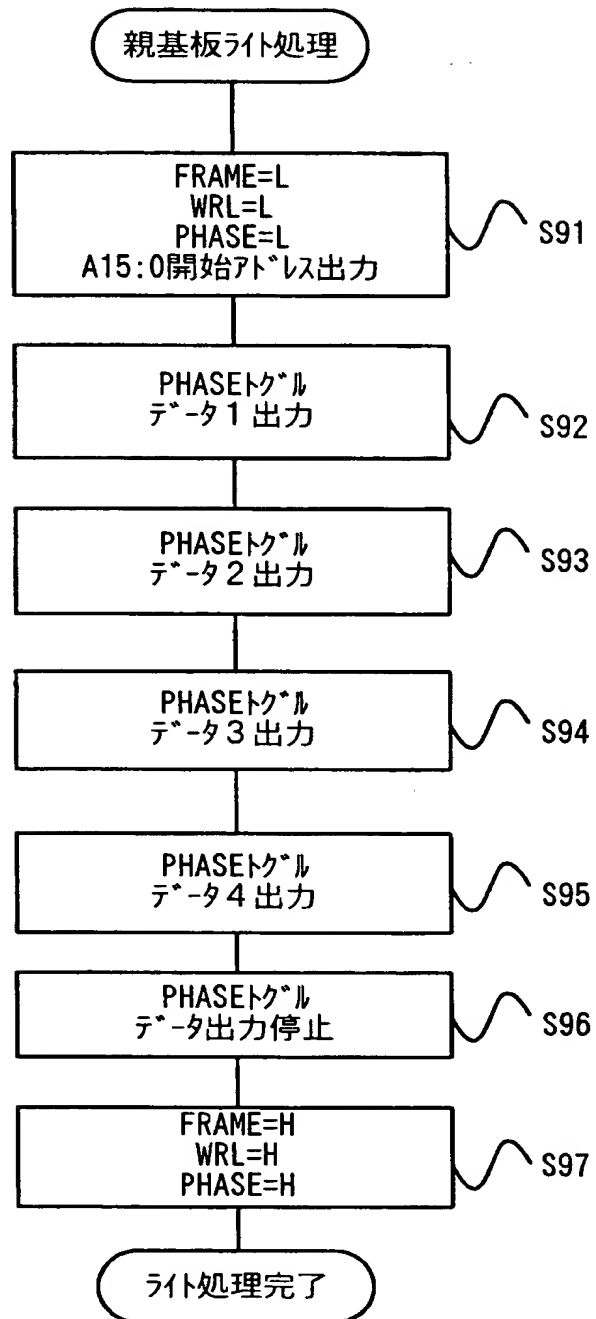
第 1 3 図



THIS PAGE BLANK (USPTO)

14 / 24

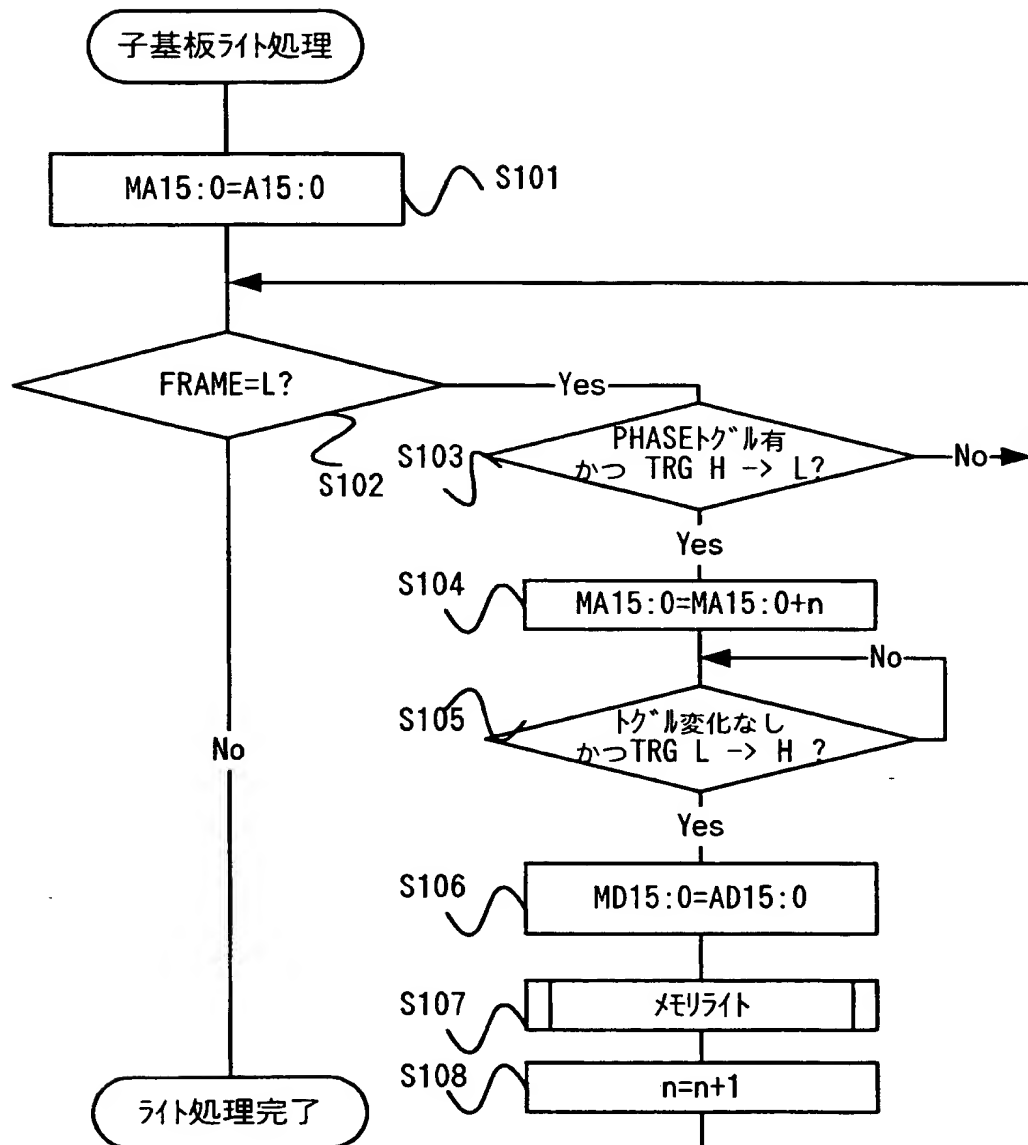
第14図



THIS PAGE BLANK (USPTO)

15 / 24

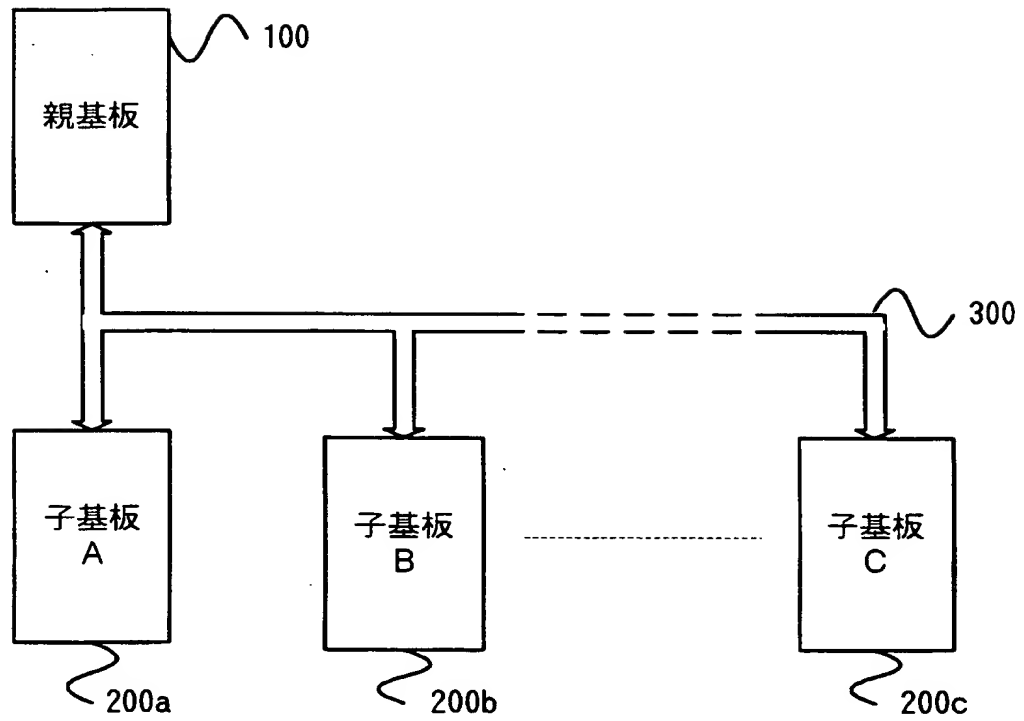
第15図



THIS PAGE BLANK (USPTO)

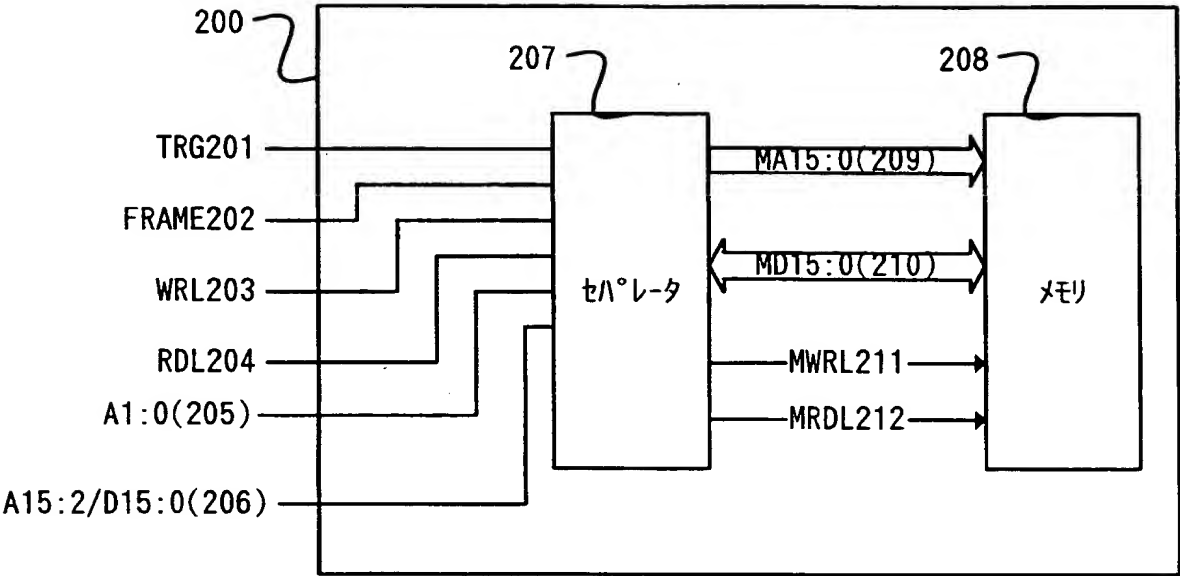
16 / 24

第16図



THIS PAGE BLANK (USPTO)

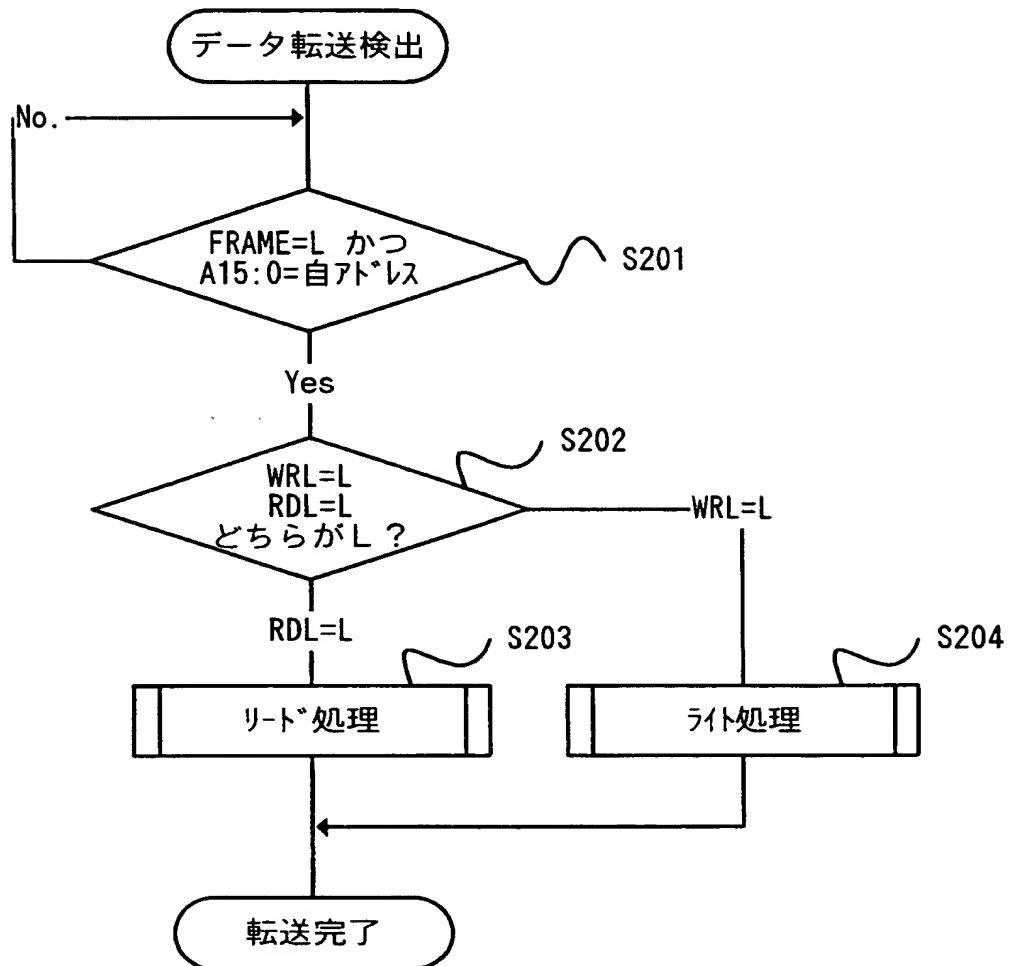
第17図



THIS PAGE BLANK (USPTO)

18 / 24

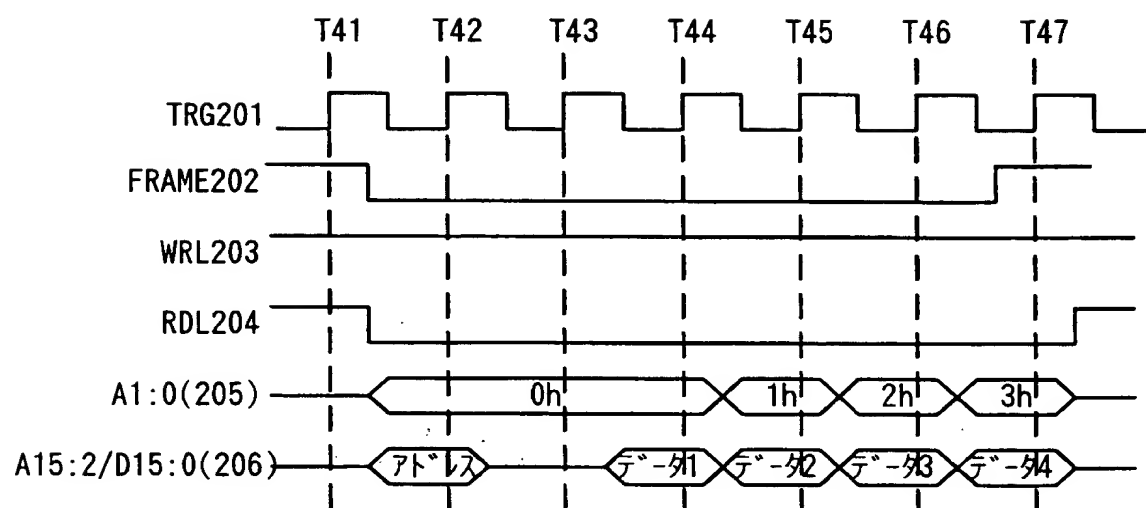
第18図



THIS PAGE BLANK (83716)

19 / 24

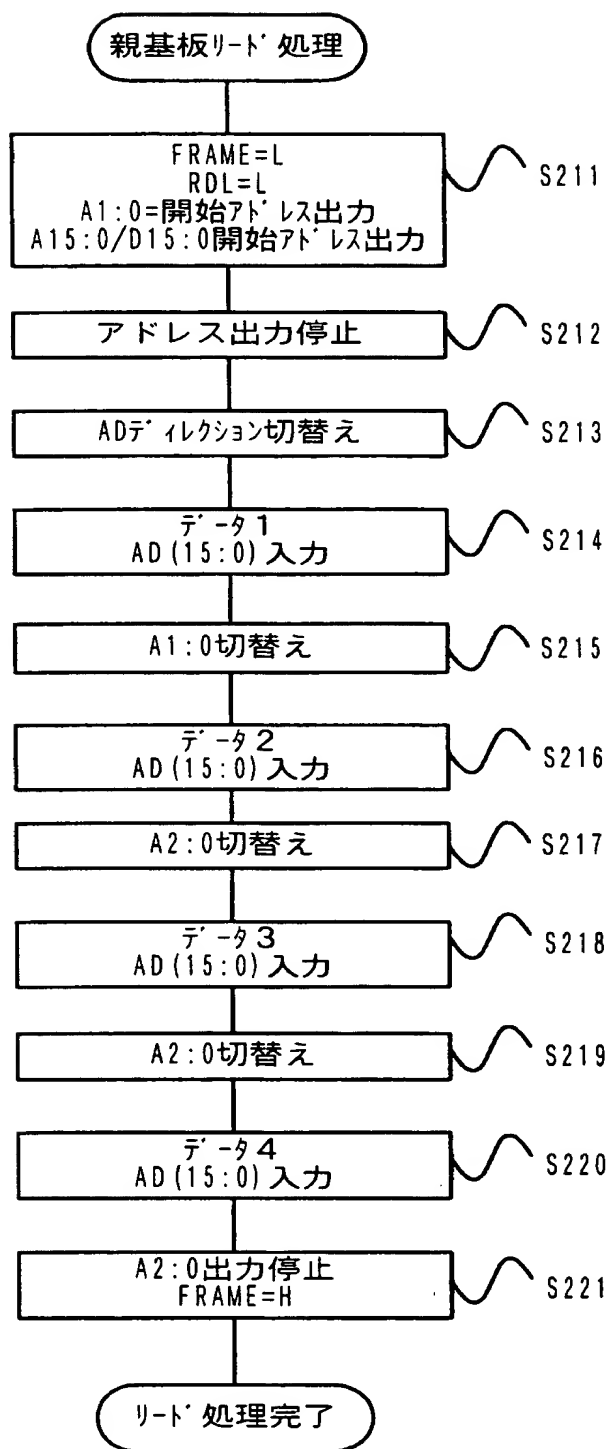
第19図



THIS PAGE BLANK (USPTO)

20/24

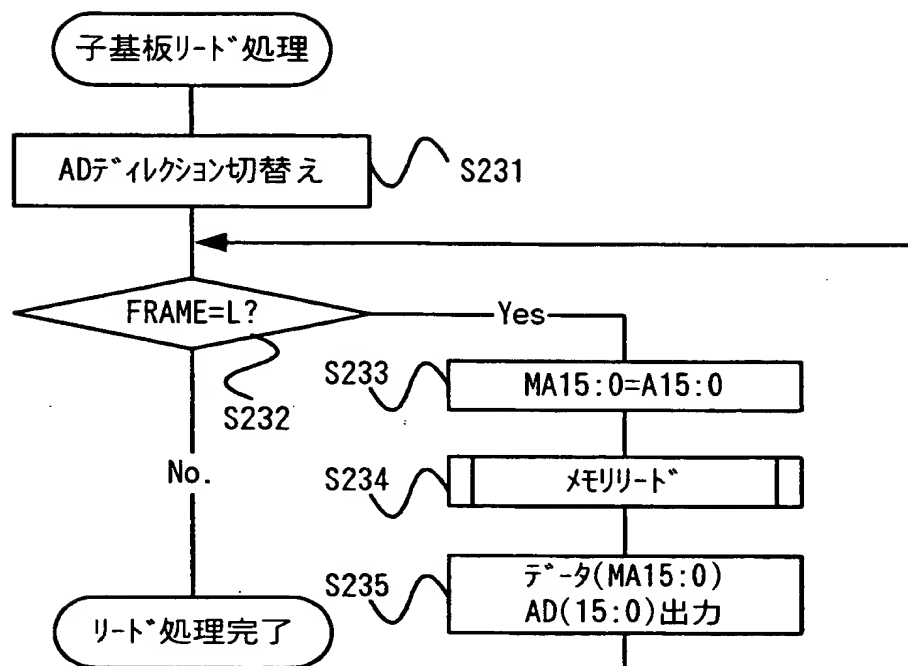
第20図



THIS PAGE BLANK (USPTO)

21 / 24

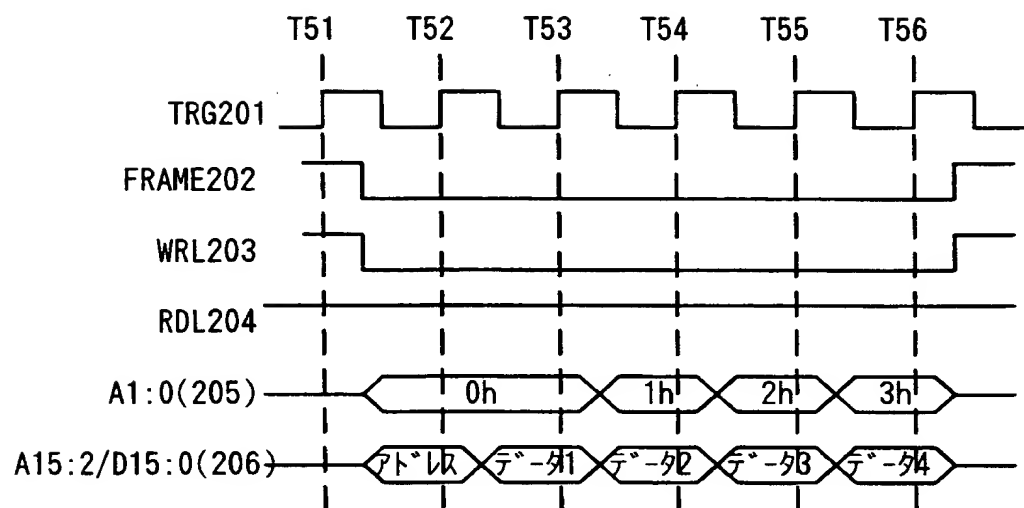
第21図



THIS PAGE BLANK (USPTO)

22 / 24

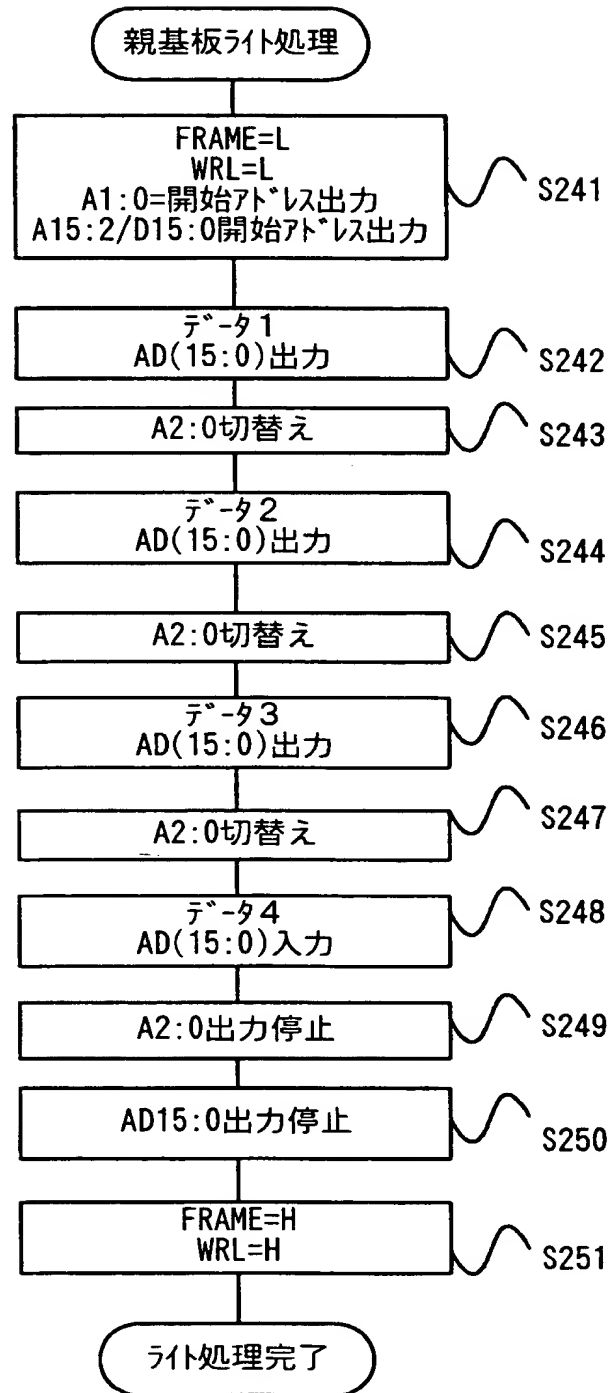
第 22 図



THIS PAGE BLANK (USPTO)

23 / 24

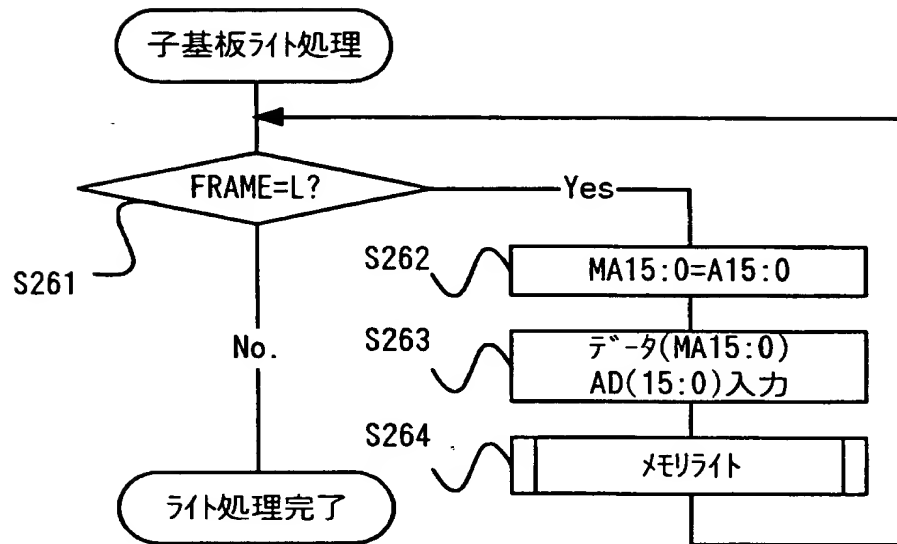
第23図



THIS PAGE BLANK (USPTO)

24 / 24

第24図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03405

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F13/36, G06F13/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F13/36, G06F13/38, G06F13/16, G06F1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 1-145754, A (Ricoh Company, Ltd.), 07 June, 1989 (07.06.89) (Family: none)	1-9
Y	JP, 5-303540, A (Fuji Xerox Co., Ltd.), 16 November, 1993 (16.11.93) (Family: none)	1-9
Y	JP, 5-265945, A (Fuji Xerox Co., Ltd.), 15 October, 1993 (15.10.93) (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
21 August, 2000 (21.08.00)

Date of mailing of the international search report
05 September, 2000 (05.09.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/JPO0/03405

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F13/36, G06F13/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F13/36, G06F13/38, G06F13/16, G06F1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国実用新案登録公報 1996-2000年

日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 1-145754, A(株式会社リコー), 7.6月.1989(07.06.89) (ファミリーなし)	1-9
Y	JP, 5-303540, A(富士ゼロックス株式会社), 16.11月.1993(16.11.93) (ファミリーなし)	1-9
Y	JP, 5-265945, A(富士ゼロックス株式会社), 15.10月.1993(15.10.93) (ファミリーなし)	1-9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21.08.00

国際調査報告の発送日

05.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 匡

5R

9650

電話番号 03-3581-1101 内線 6914

THIS PAGE BLANK (USPTO)